

**McGINN & GIBB, PLLC**  
**A PROFESSIONAL LIMITED LIABILITY COMPANY**  
**PATENTS, TRADEMARKS, COPYRIGHTS, AND INTELLECTUAL PROPERTY LAW**  
**8321 OLD COURTHOUSE ROAD, SUITE 200**  
**VIENNA, VIRGINIA 22182-3817**  
**TELEPHONE (703) 761-4100**  
**FACSIMILE (703) 761-2375; (703) 761-2376**

**APPLICATION  
FOR  
UNITED STATES  
LETTERS PATENT**

**APPLICANT'S:      YOJI NISHIO  
                             SEIJI FUNABA**

**FOR:                      SIGNAL TRANSMITTING SYSTEM**

**DOCKET NO.:        NEC04P047-KSe**

## 信号伝送システム

### BACKGROUND OF THE INVENTION

#### 1. Field of Invention:

本発明は異なる電源電圧で動作する複数の半導体集積回路装置間で信号を送送するための信号伝送システムに関する。

#### 2. Description of the Related Art:

従来より異なる電源電圧で動作する半導体集積回路装置間で信号伝送が必要なシステムが存在する。図1はこのようなシステムの従来例を示している。図1は、1. 8V系の半導体集積回路装置(LSI1)と1. 5V系の半導体集積回路装置(LSI3)間でSingle-ended信号を送送するシステムであり、その間に電圧を変換するための電圧変換LSI(LSI2)を設けることでLSI1とLSI3間で送受信する信号を中継する。LSI1とLSI2間は特性インピーダンスZ01の伝送線路で接続され、LSI2とLSI3間は特性インピーダンスZ02の伝送線路で接続されている。電圧を変換するための電圧変換LSIの具体例については、例えば特開平8-288828号公報や特開平11-27134号公報に記載されている。

図2は異なる電源電圧で動作する半導体集積回路装置間で信号伝送が必要な従来の他のシステムを示している。図2は、1. 5V系の半導体集積回路装置(以下、LSIと称する場合がある)と1. 2V系のLSI間でSingle-ended信号を送受信するシステムであり、1. 2V系のLSIに1. 5V電源で動作可能な(例えば、酸化膜等が1. 5Vに耐える厚さで形成された)Receiverと、1. 2Vで動作する内部回路とを備えた構成である。このように、1. 2V系のLSIに対して1. 5Vと1. 2Vの両方の電源電圧を供給することで1. 5V系のLSIとの信号伝送を可能にしている。なお、図2は、1. 5V系のLSIから1. 2V系のLSIに信号を送信する例を示しているが、実際の信号伝送システムは双方向に信号の送受信が可能である。

図2に示した信号伝送に必要な部位に供給する電源電圧を揃えた信号伝送システムの具体例を図3に示す。図3(a)は1. 5V系のLSI(DRAM)から1.

5 Vが供給される Driver 及び Receiver を備えた 1. 2 V系の L S I へ Single-ended 信号を伝送する構成を示し、図 3 (b) はその逆の構成を示している。これらの L S I はいずれも P C B (Printed Circuit Board) に搭載され、特性インピーダンス  $Z_0$  が  $50\ \Omega$  の伝送線路でそれぞれ接続されている。また、信号を送信する Driver は Push-pull 接続された p M O S トランジスタ及び n M O S トランジスタで構成され (Push-pull 構成)、そのオン抵抗は  $20\ \Omega$  である。一方、信号を受信する Receiver は、C T T (Center Tapped Termination、あるいはテブナン終端と呼ばれる) で終端され、この C T T 終端回路による終端抵抗の値を特性インピーダンス  $Z_0$  に合わせることでインピーダンスが整合されている。因みに、C T T 終端回路の抵抗値は、C T T を構成する図の上側の抵抗器と下側の抵抗器とを並列に接続した値に等しくなる。このように、信号伝送に用いる Driver 及び Receiver に供給する電源電圧 ( $V_{DDQ}$ ) の値を揃えれば、問題なく信号を送受信できる。

図 4 は、Driver 及び Receiver をそれぞれ備え、異なる電源電圧で動作する半導体集積回路装置どうしを直接接続して Single-ended 信号を双方向に伝送する構成例を示している。通常、図 4 に示すような構成を採用するシステムは無いと思われるが、本発明の理解を助けるために示すものである。図中の四角はスイッチを示し、信号を送信するときに O F F させる。図 4 は Driver が Push-pull 接続された p M O S トランジスタ及び n M O S トランジスタで構成され、Receiver が C T T を用いて終端 (以下、C T T 終端と称す) された構成である。

このような構成では、信号を送受信する 2 つの L S I に供給される電源電圧 ( $V_{DDQ}$ ) の値が異なるため、それぞれの Receiver に供給する、入力電圧を判定するためのしきい値である基準電圧  $V_{ref}$  の値が異なっている。

図 5 は図 4 に示した信号伝送システム的具体例である。なお、図 5 は、図 3 と同様に、Driver が Push-pull 接続された p M O S トランジスタ及び n M O S トランジスタで構成され、Receiver が C T T 終端され、Driver のオン抵抗は  $20\ \Omega$ 、伝送線路の特性インピーダンスは  $50\ \Omega$ 、Receiver の終端抵抗値は  $50\ \Omega$  である。また、図 5 (a) は 1. 5 V系の L S I から Single-ended 信号を送信する場合の等価回路を示し、図 5 (b) は 1. 2 V系の L S I から Single-ended 信号を送信

する場合の等価回路を示している。

図5 (a) に示すように、1.5V系のLSIから信号を送信する場合、出力信号のハイレベル $V_{OH}$ は1.24V、出力信号のロウレベル $V_{OL}$ は0.17Vとなり、 $V_{OH}$ と $V_{OL}$ の中間値に設定される基準電圧 $V_{ref}$ は0.71Vとなる。したがって、1.2V系のLSIで信号を受信する場合の基準電圧 $V_{ref}$ は0.71Vとなる。

一方、図5 (b) に示すように、1.2V系のLSIから信号を送信する場合、出力信号のハイレベル $V_{OH}$ は1.07V、出力信号のロウレベル $V_{OL}$ は0.21Vとなり、 $V_{OH}$ と $V_{OL}$ の中間値に設定される基準電圧 $V_{ref}$ は0.64Vとなる。したがって、1.5V系のLSIで信号を受信する場合の基準電圧 $V_{ref}$ は0.64Vとなる。

図6は、Driver及びReceiverをそれぞれ備え、異なる電源電圧で動作する半導体集積回路装置(1.5V系LSIと1.2V系LSI3)間を直接接続してSingle-ended信号を双方向に伝送する他の構成例を示している。通常、図6に示すような構成を採用するシステムは無いと思われるが、本発明の理解を助けるために示すものである。図中の四角はスイッチを示し、信号を送信するときにOFFさせる。図6はDriverがPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、Receiverでは終端抵抗を介して入力端が終端電圧 $V_{TT}$ にプルアップされた構成( $V_{TT}$ 終端回路)である。また、図6では1.2V電源で動作する1.2V系LSIをさらに備え、1.2V系LSI3と1.2V系LSI間で信号が伝送される構成も示している。

このような構成においても、信号を送受信する1.5V系LSIと1.2V系LSI3に供給される電源電圧( $V_{DDQ}$ )の値が異なるため、Receiverに供給される、入力電圧を判定するためのしきい値である基準電圧 $V_{ref}$ 及び $V_{TT}$ の値が異なっている。

図7は図6に示した信号伝送システムの具体例である。なお、図7は、DriverがPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、Receiverが終端抵抗を介して $V_{TT}$ にプルアップされ、Driverのオン抵抗は20 $\Omega$ 、伝送線路の特性インピーダンスは40 $\Omega$ 、Receiverの終端抵抗値は4



0Ωである。また、図7(a)は1.5V系のLSIからSingle-ended信号を送信する場合の等価回路を示し、図7(b)は1.2V系のLSI3からSingle-ended信号を送信する場合の等価回路を示している。

図7(a)に示すように、1.5V系のLSIから信号を送信する場合、出力信号のハイレベルVOHは1.25V、出力信号のロウレベルVOLは0.25Vとなり、VOHとVOLの中間値に設定される基準電圧Vrefは0.75Vとなる。したがって、1.2V系のLSIで信号を受信する場合の基準電圧Vrefは0.75Vとなる。

一方、図7(b)に示すように、1.2V系のLSI3から信号を送信する場合、出力信号のハイレベルVOHは1.00V、出力信号のロウレベルVOLは0.20Vとなり、VOHとVOLの中間値に設定される基準電圧Vrefは0.60Vとなる。したがって、1.5V系のLSIで信号を受信する場合の基準電圧Vrefは0.60Vとなる。

上述したような従来の信号伝送システムでは以下に記載するような問題がある。

まず、図1に示した電圧変換LSIを有する構成では、電圧変換LSIによって信号の伝播速度が遅くなるためシステム性能が低下する問題がある。さらに、電圧変換LSIを用いることで部品点数が増大するためシステムのコストが上昇する。

また、図2に示した1.2V系のLSIに1.5V電源を供給できるようにした構成では、酸化膜を部分的に厚くする等の工程が必要になるため、LSIの製造プロセスが複雑になる問題がある。さらに、1.5V電源を供給するための端子が必要になり、LSIのパッケージサイズや端子数の増大により、1.2V系のLSIのコストが上昇する問題がある。

また、図4に示した、異なる電源電圧で動作する半導体集積回路装置間を直接接続して信号を双方向に伝送する構成では、2種類の基準電圧Vrefが必要になる。したがって、比較的高価な基準電圧発生回路が2種類必要となり、電位の異なる基準電圧の配線パターンも2種類必要になり、PCBの層数が増える可能性があるため、システムのコストが上昇する問題がある。また、基準電圧が2種類必要であるにもかかわらず、実際に供給する基準電圧Vrefをいずれか一方

に限定すると、次のような問題が発生する。

図5に示した例では、基準電圧 $V_{ref}$ として0.71Vと0.64Vを用いているが、2つのLSIに供給する基準電圧 $V_{ref}$ を、例えば0.64Vにすると、1.5V系のLSIでは影響がないが、1.2V系のLSIでは基準電圧 $V_{ref}$ が低下することで図8に示すような影響を受ける。

すなわち、受信信号が立ち上がる時は0.71Vの基準電圧 $V_{ref}$ が供給されるときに比べて入力回路 (Receiver) が速く反応するが、入力信号が立ち下がる時は0.71Vの基準電圧 $V_{ref}$ が供給されるときよりも遅くなる。そのため、入力回路でタイミングスキュー (Timing skew) が発生する。

受信信号の立ち上がり時間  $t_R$  及び立下り時間  $t_F$  をそれぞれ250ps程度とすると、タイミングスキューは33psとなる。この値は、伝送速度が1.6Gbpsの信号のEye window (Bit time) = 625psに対して5.2%に相当し、無視できない値となる。また、さらに、基準電圧 $V_{ref}$ が低下することで上記タイミングスキューが増大すると、誤動作の可能性も高くなる。

一方、図6に示した、異なる電源電圧で動作する半導体集積回路装置間を直接接続して信号を双方向に伝送する他の構成でも、2種類の基準電圧 $V_{ref}$ 及び終端電圧 $V_{TT}$ が必要になる。したがって、基準電圧発生回路や $V_{TT}$ 発生回路がそれぞれ2種類必要となり、電位の異なる基準電圧や終端電圧 $V_{TT}$ の配線パターンもそれぞれ2種類必要になり、PCBの層数が増える可能性があるため、システムのコストが上昇する問題がある。

また、基準電圧や終端電圧 $V_{TT}$ が2種類であるにもかかわらず、実際に供給する基準電圧 $V_{ref}$ や終端電圧 $V_{TT}$ をいずれか一方に限定すると、上記図5と同様の問題が発生する。

#### SUMMARY OF THE INVENTION

そこで本発明は、異なる電源電圧で動作する半導体集積回路装置間のタイミングスキューを抑制すると共にコストの上昇を抑制した信号伝送システムを提供することを目的とする。

上記目的を達成するため本発明の信号伝送システムでは、異なる電源電圧で動

作する半導体集積回路装置間を伝送線路である双方向バスを介して直接、接続する。ここで、信号送信側のドライバは、例えばPush-pull型とし、信号受信側はCTT (Center Tapped Termination) 終端とする。そして、インピーダンスを整合するために終端抵抗 $R_{term}$ を伝送線路の特性インピーダンス $Z_0$ に一致させた場合、信号振幅確保のためにドライバのオン抵抗 $R_{on}$ を特性インピーダンス $Z_0$ 以下にする。また、インピーダンスを整合するためにドライバのオン抵抗 $R_{on}$ を伝送線路の特性インピーダンスに一致させた場合は、信号振幅を確保するために終端抵抗 $R_{term}$ を特性インピーダンス $Z_0$ 以下にする。

また、電源の数を少なくするため、各半導体集積回路装置に供給する、入力電圧の判定に用いる基準電圧 $V_{ref}$ の値を一致させる。望ましくは、その値を $0.25(V_1 + V_2)$ とし、基準電圧 $V_{ref}$ を生成し易くする。なお、 $V_1$ 、 $V_2$ は信号を送受信する半導体集積回路装置に供給する電源電圧 $V_{DDQ}$ である。

さらに、プリント基板の設計のし易さ、及びSignal integrityを考慮して、伝送線路のリターン電流が流れる経路は各半導体集積回路装置で共通の接地導体(グランドプレーン: ground plane)とする。なお、上記伝送信号は、Single-ended信号に限らず、Differential信号でもよい。Differential信号を伝送する場合、2つの受信端を、ODD mode インピーダンスの2倍の抵抗値で結んだBridge終端とすれば基準電圧 $V_{ref}$ が不要となる。

本発明の他の信号伝送システムは、異なる電源電圧で動作する半導体集積回路装置間を伝送線路である双方向バスを介して直接、接続する。ここで、ドライバは、例えばPush-pull型とし、受信側はVTT終端とする。VTTの値は信号を送受信する各半導体集積回路装置に供給する電源電圧のうち、低い方の電源電圧 $V_{DDQ}$  (低 $V_{DDQ}$ ) の $1/2$ にする。また、インピーダンスを整合するために、終端抵抗 $R_{term}$ を伝送線路の特性インピーダンス $Z_0$ に合わせる。

また、電源の数を少なくするため、双方の半導体集積回路装置で用いる基準電圧 $V_{ref}$ の値を一致させる。望ましくは、その値を $0.5V_2$ とし、基準電圧 $V_{ref}$ を生成し易くする。ここで、 $V_2$ は上記低 $V_{DDQ}$ である。

さらに、プリント基板の設計のし易さ、Signal integrityを考慮して、伝送線路のリターン電流が流れる経路は、各半導体集積回路装置で共通のグランドプレ

ーンとする。

上記のような信号伝送システムでは、電圧変換用の半導体集積回路装置が不要となるため、半導体集積回路装置に供給する電源電圧の種類を増加を防止できる。

また、終端抵抗  $R_{term}$  あるいはオン抵抗  $R_{on}$  を伝送線路の特性インピーダンスに合わせ、かつ伝送線路のリターン電流が流れる経路を各半導体集積回路装置に共通なグランドプレーンにすることで、Signal integrity よく信号を伝送できる。また、各半導体集積回路装置で用いる基準電圧の値を同一にすることで、電源の種類を低減でき、かつプリント基板の層数を低減できる。また、常に最適な基準電圧の値を用いることができるので、入力回路部における Timing skew を小さくできる。

さらに、基準電圧の値を、生成し易い値（例えば  $0.25(V_1 + V_2)$  等）に設定するため、基準電圧の生成回路が簡単になる。

また、Differential 信号を伝送する場合に受信側に Bridge 終端を用いると、基準電圧が不要になるため、基準電圧に対する従来のような配慮が不要となる。

よって、Signal integrity がよく、タイミングスキューが抑制され、かつコストの上昇が抑制された信号伝送システムを得ることができる。

The above and other objects, features, and advantages of the present invention will become apparent from the following description with reference to the accompanying drawings which illustrate examples of the present invention.

#### BRIEF DESCRIPTION OF THE DRAWING

図1は、異なる電源電圧で動作する半導体集積回路装置間で信号伝送が必要な従来のシステムの構成を示すブロック図であり、

図2は、異なる電源電圧で動作する半導体集積回路装置間で信号伝送が必要な従来のシステムの他の構成を示すブロック図であり、

図3は、図2に示した信号伝送システムの具体例の構成を示す回路図であり、

図4は、異なる電源電圧で動作する半導体集積回路装置間を直接接続して信号を双方向に伝送する従来の信号伝送システムの構成を示すブロック図であり、

図5は、図4に示した信号伝送システムの具体例の構成を示す回路図であり、  
図6は、異なる電源電圧で動作する半導体集積回路装置間を直接接続して信号を双方向に伝送する従来の信号伝送システムの他の構成を示すブロック図であり、  
図7は、図6に示した信号伝送システムの具体例の構成を示す回路図であり、  
図8は、図4及び図6に示した信号伝送システムの問題点を示す波形図であり、  
図9は、本発明の信号伝送システムの第1の実施の形態の構成を示すブロック図であり、

図10は、本発明の信号伝送システムの第1実施例の構成を示す回路図であり、  
図11は、図10に示した信号伝送システムで用いる基準電圧発生回路の一構成例を示す回路図であり、

図12は、図10に示した第1実施例の信号伝送システムを一般化した回路の構成を示す回路図であり、

図13は、本発明の信号伝送システムの第2実施例の構成を示す回路図であり、  
図14は、図13に示した第2実施例の信号伝送システムを一般化した回路の構成を示す回路図であり、

図15は、本発明の信号伝送システムの第3実施例の構成を示す回路図であり、  
図16は、図15に示した第3実施例の信号伝送システムを一般化した回路の構成を示す回路図であり、

図17A、Bは、図9に示した第1の実施の形態の信号伝送システムの適用例を示すブロック図であり、

図18A、Bは、図9に示した第1の実施の形態の信号伝送システムの他の適用例を示すブロック図であり、

図19は、本発明の信号伝送システムの第2の実施の形態の構成を示すブロック図であり、

図20は、本発明の信号伝送システムの第4実施例の構成を示す回路図であり、  
図21は、図20に示した第4実施例の信号伝送システムを一般化した回路の構成を示す回路図であり、

図22は、本発明の信号伝送システムの第5実施例の構成を示す回路図であり、

図23は、図22に示した第5実施例の信号伝送システムを一般化した回路の

構成を示す回路図であり、

図24は、本発明の信号伝送システムの第6実施例の構成を示す回路図であり、

図25は、本発明の信号伝送システムの第7実施例の構成を示す回路図であり、

図26は、図25に示した第7実施例の信号伝送システムを一般化した回路の構成を示す回路図であり、

図27は、本発明の信号伝送システムの第8実施例の構成を示す回路図であり、

図28は、図27に示した第8実施例の信号伝送システムを一般化した回路の構成を示す回路図であり、

図29は、本発明の信号伝送システムの第9実施例の構成を示す回路図であり、

図30は、本発明の信号伝送システムの第10実施例の構成を示す回路図であり、

図31は、本発明の信号伝送システムの第11実施例の構成を示す回路図であり、

図32は、本発明の信号伝送システムの第12実施例の構成を示す回路図であり、

図33は、本発明の信号伝送システムの第13実施例の構成を示す回路図であり、

図34は、本発明の信号伝送システムの第14実施例の構成を示す回路図であり、

図35は、本発明の信号伝送システムの第15実施例の構成を示す回路図であり、

図36は、本発明の信号伝送システムの第16実施例の構成を示す回路図であり、

図37は、図36に示した第16実施例の信号伝送システムを一般化した回路の構成を示す回路図であり、

図38は、図37に示した信号伝送システムで用いる基準電圧発生回路の一構成例を示す回路図であり、

図39は、本発明の信号伝送システムの第3の実施の形態の構成を示すブロック図であり、

図40は、本発明の信号伝送システムの第17実施例の構成を示す回路図であり、

図41は、本発明の信号伝送システムの第18実施例の構成を示す回路図であり、

図42は、本発明の信号伝送システムの第19実施例の構成を示す回路図であり、

図43は、本発明の信号伝送システムの第20実施例の構成を示す回路図であり、

図44は、本発明の信号伝送システムの第21実施例の構成を示す回路図であり、

図45は、本発明の信号伝送システムの第4の実施の形態の構成を示すブロック図であり、

図46は、本発明の信号伝送システムの第22実施例の構成を示す回路図であり、

図47は、本発明の信号伝送システムの第23実施例の構成を示す回路図であり、

図48は、本発明の信号伝送システムの第24実施例の構成を示す回路図であり、

図49は、本発明の信号伝送システムの第25実施例の構成を示す回路図であり、

図50は、本発明の信号伝送システムの第26実施例の構成を示す回路図であり、

図51は、本発明の信号伝送システムの第27実施例の構成を示す回路図であり、

図52は、図50に示した第26実施例及び図51に示した第27実施例の信号伝送システムを一般化した回路の構成を示す回路図であり、

図53は、本発明の信号伝送システムの第28実施例の構成を示す回路図であり、

図54は、図53に示した第28実施例の信号伝送システムを一般化した回路

の構成を示す回路図である。

#### DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENT

図9は、本発明の信号伝送システムの第1の実施の形態の構成を示すブロック図である。

図9に示すように、第1の実施の形態の信号伝送システムは、1.5V系の半導体集積回路装置(LSI)1と1.2V系の半導体集積回路装置(LSI)2とが伝送線路である双方向バス3で直接接続された構成である。1.5V系のLSI1は、ドライバ(D)4、レシーバ(R)5、CTT終端を形成する抵抗器8a、8b、及びスイッチ10a、10bを有する構成である。1.2V系のLSI2は、ドライバ(D)6、レシーバ(R)7、CTT終端を形成する抵抗器9a、9b、及びスイッチ11a、11bを有する構成である。また、第1の実施の形態の信号伝送システムでは、1.5V系のLSI1と1.2V系のLSI2とにそれぞれ共通の基準電圧 $V_{ref}$ が供給される。

第1の実施の形態では、1.5V系のLSI1から1.2V系のLSI2へ信号を送信する場合、1.2V系のLSI2のドライバ6の出力をハイインピーダンス(High impedance)状態に設定し、1.5V系のLSI1のスイッチ10a、10bをそれぞれOFFにする。逆に、1.2V系のLSI2から1.5V系のLSI1へ信号を送信する場合は、1.5V系のLSI1のドライバ4の出力をハイインピーダンス状態に設定し、1.2V系のLSI2のスイッチ11a、11bをそれぞれOFFにする。そして、1.2V系のLSI2から1.5V系のLSI1へ信号を送信するときに参照する基準電圧 $V_{ref1}$ と、1.5V系のLSI1から1.2V系のLSI2へ信号を送信するときに参照する基準電圧 $V_{ref2}$ とを一致させる。具体的には $V_{ref1}=V_{ref2}=0.25(V1+V2)$ に設定する。ここで、 $V1$ は、2つのLSIに供給する電源電圧 $VDDQ$ のうち、高い方の電源電圧 $VDDQ$ (図9では1.5V)であり、 $V2$ は低い方の電源電圧 $VDDQ$ (図9では1.2V)である。したがって、基準電圧 $V_{ref1}=V_{ref2}=0.675V$ となる。

この基準電圧 $V_{ref}$ は、LSIの出力信号のハイレベル及びロウレベルを用



いて表すことも可能であり、1.5V系のLSI1から送信する信号のハイレベルを $VOH2$ 、信号のロウレベルを $VOL2$ としたとき、基準電圧 $V_{ref2} = 0.5 (VOH2 + VOL2)$ であり、1.2V系のLSI2から送信する信号のハイレベルを $VOH1$ 、信号のロウレベルを $VOL1$ としたとき、基準電圧 $V_{ref1} = 0.5 (VOH1 + VOL1)$ である。このように基準電圧 $V_{ref}$ を設定することで、電源電圧 $VDDQ$ は2種類、基準電圧 $V_{ref}$ は1種類で済む。また、基準電圧 $V_{ref}$ を容易に生成できる。

なお、図9ではSingle-ended信号を送受信する構成例を示しているが、Differential信号を送受信する構成でもよい。その場合、True用とBar用に、図9に示す構成要素をそれぞれ設ければよい。また、後述するように、True信号とBar信号間はBridge終端（Bridge終端回路）にしてもよい。

図10は本発明の信号伝送システムの第1実施例の構成を示す回路図である。

図10はSingle-ended信号を送受信する、第1の実施の形態の信号伝送システムの具体例である。図10(a)は1.5V系のLSI1から1.2V系のLSI2へ信号を送信する場合の等価回路を示し、図10(b)は1.2V系のLSI2から1.5V系のLSI1へ信号を送信する場合の等価回路を示している。

また、図10は、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器8a、8b、9a、9bの値に含めて記載している。

また、信号を送信するDriverは、Push-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成される。伝送線路である双方向バス3の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはCTT終端されている。

第1実施例の信号伝送システムでは、1.5V系のLSI1から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器9a及び9bの値を $2Z_0 = 80\Omega$ に設定する。終端抵抗の値は抵抗器9aと9bの並列値に等しく、 $40\Omega$ になるため、信号受信端と双方向バス3とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタのオン抵抗は、双方向バス3

の特性インピーダンス以下の値、例えば $20\ \Omega$ に設定し、pMOSトランジスタのオン抵抗は $25.45\ \Omega$ に設定する。このようにすると、 $V_{OH2}=1.15\text{ V}$ 、 $V_{OL2}=0.2\text{ V}$ となり、基準電圧 $V_{ref2}=0.675\text{ V}$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.475\text{ V}$ となるため、信号振幅値を十分に確保できる。

一方、 $1.2\text{ V}$ 系のLSI2から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器8a及び8bの値を $2Z_0=80\ \Omega$ に設定する。終端抵抗の値は抵抗器8aと8bの並列値に等しく、 $40\ \Omega$ になるため、信号受信端と双方向バス3とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタのオン抵抗は、双方向バス3の特性インピーダンス以下の値、例えば $20\ \Omega$ に設定し、nMOSトランジスタのオン抵抗は $26.67\ \Omega$ に設定する。このようにすると、 $V_{OH1}=1.05\text{ V}$ 、 $V_{OL1}=0.3\text{ V}$ となり、基準電圧 $V_{ref1}=0.675\text{ V}$ であるため上記 $V_{ref2}$ の値に一致する。また、基準電圧 $V_{ref}$ に対する信号振幅値 $\Delta$ は $0.375\text{ V}$ となるため、信号振幅値を十分に確保できる。

また、双方向バス3上を流れる信号のリターン電流の経路を $1.5\text{ V}$ 系のLSI1と $1.2\text{ V}$ 系のLSI2とに共通なグランドプレーンとする。この場合、プリント基板の設計が容易になる。なお、電源電圧 $V_{DDQ}$ をリターン電流の経路にすると、 $1.5\text{ V}$ 電源と $1.2\text{ V}$ 電源とをそれぞれリターン電流の経路として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス3を流れる信号のリターン電流の経路はグランドプレーンであることが好ましい。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値及び各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を伝送できる。また、電源電圧 $V_{DDQ}$ は2種類、基準電圧 $V_{ref}$ は1種類で済む。さらに、基準電圧 $V_{ref}$ を $0.25(V_1+V_2)$ に設定しているので、基準電圧 $V_{ref}$ を生成する基準電圧発生回路を簡易に構成できる。したがって、システムのコストを低減できる。また、基準電圧 $V_{ref}$ の値が、電源電圧 $V_{DDQ}$ の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジ

スタ及びnMOSトランジスタのドレインソース間に十分な電圧が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

なお、1.5V系のLSI1と1.2V系LSI2の組合せとしては、DRAMとBuffer、BufferとChipset、DRAMとChipset等が考えられる。1.5V系のLSI1と1.2V系LSI2とはDIMM (Dual In-line Memory Module) やPCBに搭載されていてもよく、一方のLSIがDIMMに搭載され、他方のLSIがPCBやマザーボードに搭載されてもよく、様々な場合が考えられる。また、図10では、終端に用いる抵抗器として、LSI内に配置されるOn Die Terminationを例示しているが、終端用の抵抗器はLSIに外付けされていてもよい。さらに、図10では双方向バスを用いてLSIどうしをPoint to Pointで接続する構成を示しているが、伝送線路の途中で複数のLSIが接続されるFly-by(あるいは、Daisy chainとも呼ばれる)バス構成、あるいはバスの途中で複数のスタブを備え、該スタブにそれぞれLSIが接続される構成にも適用できる。これらのことは、以下に記載する各実施例でも同様である。

図11A、Bは図10に示した第1実施例の信号伝送システムで用いる基準電圧発生回路の構成例を示す回路図である。

図11A、Bは、基準電圧 $V_{ref} = 0.25(V_1 + V_2)$ を生成する回路例であり、図11Aは同じ値の4つの抵抗器Rを用いて基準電圧 $V_{ref}$ を生成する回路例、図11Bは同じ値の6つの抵抗器Rを用いて基準電圧 $V_{ref}$ を生成する回路例である。各抵抗器Rは、その値のバラツキ傾向によって使い分けることが可能である。このような簡単な構成で基準電圧 $V_{ref}$ を生成できる。

図12に図10に示した第1実施例の信号伝送システムを一般化した回路を示す。

図12(a)は電源電圧 $V_{DDQ} = V_1$ 系のLSI1から電源電圧 $V_{DDQ} = V_2$ 系のLSI2へ信号を送信する場合の等価回路を示し、図12(b)は $V_2$ 系のLSI2から $V_1$ 系のLSI1へ信号を送信する場合の等価回路を示している。なお、図12では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定され

たドライバを省略して記載し、ON状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

また、信号を送信するドライバはPush-pull 接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス3の特性インピーダンスは $Z_0$ である。信号を受信するReceiverはCTT終端されている。

まず、V1系のLSI1から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器9a及び9bの値を $2Z_0$ に設定する。終端抵抗の値は抵抗器9aと9bの並列値に等しいため、信号受信端と双方向バス3とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ4bのオン抵抗を双方向バス3の特性インピーダンス以下の値、ここでは $R_\Omega$ に設定し、基準電圧 $V_{ref} = 0.25(V_1 + V_2)$ となるようにpMOSトランジスタ4aのオン抵抗を $R_1\Omega$ に設定する。このとき、 $R_1$ は、

$$R_1 = Z_0(V_2 \cdot Z_0 - V_1 \cdot R - V_1 \cdot Z_0) / (V_2 \cdot R - V_1 \cdot Z_0 - V_1 \cdot R)$$

となる。

また、伝送信号のハイレベル $VOH_2$ 、ロウレベル $VOL_2$ は、

$$VOH_2 = (V_1 - 0.5V_2)Z_0 / (R_1 + Z_0) + 0.5V_2$$

$$VOL_2 = 0.5V_2 \cdot R / (Z_0 + R)$$

である。

一方、V2系のLSI2から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器8a及び8bの値を上記と同様に $2Z_0$ に設定する。終端抵抗の値は抵抗器8aと8bの並列値に等しいため、信号受信端と双方向バス3とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ6aのオン抵抗を双方向バス3の特性インピーダンス以下の値、ここでは $R_3\Omega$ に設定し、 $V_{ref} = 0.25(V_1 + V_2)$ となるようにnMOSトランジスタ6bのオン抵抗を $R_2\Omega$ に設定する。このとき、 $R_2$ は、

$$R_2 = Z_0(V_1 \cdot Z_0 + V_2 \cdot R_3 - V_2 \cdot Z_0) / (V_1 \cdot R_3 + V_2 \cdot Z_0 - V_2 \cdot R_3)$$

となる。

また、伝送信号のハイレベル $VOH1$ 、ロウレベル $VOL1$ は、

$$VOH1 = (V2 - 0.5V1) Z0 / (R3 + Z0) + 0.5V1$$

$$VOL1 = 0.5V1 \cdot R2 / (Z0 + R2)$$

である。

また、双方向バス3上を流れる信号のリターン電流の経路を、 $V1$ 系のLSI1と $V2$ 系のLSI2とに共通なグランドプレーンとする。この場合、プリント基板の設計が容易になる。なお、電源電圧 $VDDQ$ をリターン電流の経路にすると、 $V1$ 電源と $V2$ 電源とをそれぞれリターン電流の経路として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス3を流れる信号のリターン電流の経路はグランドプレーンであることが好ましい。この点は、以下に記載する例でも同様であるので、以下省略する。

このように、伝送線路の特性インピーダンス $Z0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を送送できる。また、電源電圧 $VDDQ$ は2種類、基準電圧 $Vref$ は1種類で済む。さらに、基準電圧 $Vref$ を $0.25(V1 + V2)$ に設定しているので、基準電圧 $Vref$ を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 $Vref$ の値が、電源電圧 $VDDQ$ の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図13は、本発明の信号伝送システムの第2実施例の構成を示す回路図である。なお、図13はSingle-ended信号を送受信する、第1の実施の形態の信号伝送システムの具体例である。図13(a)は $1.5V$ 系のLSI1から $1.2V$ 系のLSI2へ信号を送信する場合の等価回路を示し、図13(b)は $1.2V$ 系のLSI2から $1.5V$ 系のLSI1へ信号を送信する場合の等価回路を示している。

また、図13は、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、

信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器8 a、8 b、9 a、9 bの値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス3の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはC T T終端されている。

第2実施例の信号伝送システムは、1.5V系のLSI1から信号を送信する場合、ドライバを構成するpMOSトランジスタ4 aのオン抵抗及びnMOSトランジスタ4 bのオン抵抗を双方向バス3の特性インピーダンスに合わせてそれぞれ $40\Omega$ に設定する。そのため、本実施例ではドライバのオン抵抗と双方向バス3とがインピーダンス整合する。

また、受信側を終端する抵抗器9 aの値を双方向バス3の特性インピーダンスの2倍以上の値、例えば $120\Omega$ に設定し、抵抗器9 bの値を $108\Omega$ に設定する。このように設定すると、 $V_{OH2}=1.115V$ 、 $V_{OL2}=0.235V$ となり、基準電圧 $V_{ref2}$ は $0.675V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.44V$ となるため、信号振幅値を十分に確保できる。

一方、1.2V系のLSI2から信号を送信する場合、ドライバを構成するpMOSトランジスタ6 aのオン抵抗及びnMOSトランジスタ6 bのオン抵抗を双方向バス3の特性インピーダンスに合わせてそれぞれ $40\Omega$ に設定する。そのため、本実施例ではドライバのオン抵抗と双方向バス3とがインピーダンス整合する。

また、受信側を終端する抵抗器8 bの値を双方向バス3の特性インピーダンスの2倍以上の値、例えば $120\Omega$ に設定し、抵抗器8 aの値を $110\Omega$ に設定する。このように設定すると、 $V_{OH1}=1.029V$ 、 $V_{OL1}=0.321V$ となり、基準電圧 $V_{ref1}$ は $0.675V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.354V$ となるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、

各ドライバのオン抵抗の値を設定することで、良好な Signal integrity で信号を伝送できる。また、電源電圧  $V_{DDQ}$  は 2 種類、基準電圧  $V_{ref}$  は 1 種類で済む。さらに、基準電圧  $V_{ref}$  を  $0.25(V_1 + V_2)$  に設定しているので、基準電圧  $V_{ref}$  を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧  $V_{ref}$  の値が電源電圧  $V_{DDQ}$  の  $1/2$  の値から大きくずれていないので、各ドライバの pMOS トランジスタ及び nMOS トランジスタのドレイン-ソース間に十分な電圧が印加され、pMOS トランジスタ及び nMOS トランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図 14 に図 13 に示した第 2 実施例の信号伝送システムを一般化した回路を示す。

図 14 (a) は電源電圧  $V_{DDQ} = V_1$  系の LSI 1 から電源電圧  $V_{DDQ} = V_2$  系の LSI 2 へ信号を送信する場合の等価回路を示し、図 14 (b) は  $V_2$  系の LSI 2 から  $V_1$  系の LSI 1 へ信号を送信する場合の等価回路を示している。

なお、図 14 では、 $V_1 > V_2$  である。また、電位の値に寄与しない、レシーバ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

また、信号を送信するドライバは Push-pull 接続された pMOS トランジスタ及び nMOS トランジスタで構成され、伝送線路である双方向バス 3 の特性インピーダンスは  $Z_0$  である。信号を受信する Receiver は CTT 終端されている。

まず、 $V_1$  系の LSI 1 から信号を送信する場合、ドライバを構成する pMOS トランジスタ 4a のオン抵抗及び nMOS トランジスタ 4b のオン抵抗を双方向バス 3 の特性インピーダンスに合わせてそれぞれ  $Z_0$  に設定する。そのため、本実施例ではドライバのオン抵抗と双方向バス 3 とがインピーダンス整合する。

また、受信側を終端する抵抗器 9a の値を双方向バス 3 の特性インピーダンスの 2 倍以上の値、ここでは  $R_\Omega$  に設定し、基準電圧  $V_{ref} = 0.25(V_1 + V_2)$  となるように抵抗器 9b の値を  $R_2\Omega$  に設定する。このとき、 $R_2$  は、

$$R2=R \cdot Z0(V1+V2)/(V1 \cdot R+3V2 \cdot Z0-V1 \cdot Z0-V2 \cdot R)$$

となる。

また、伝送信号のハイレベル $VOH2$ 、ロウレベル $VOL2$ は、

$$VOH2=(R \cdot R2 \cdot V1+R2 \cdot Z0 \cdot V2)/(Z0 \cdot R+R \cdot R2+R2 \cdot Z0)$$

$$VOL2=R2 \cdot Z0 \cdot V2/(Z0 \cdot R2+R \cdot R2+R \cdot Z0)$$

である。

一方、 $V2$ 系のLSI2から信号を送信する場合、ドライバを構成するpMOSトランジスタ6aのオン抵抗及びnMOSトランジスタ6bのオン抵抗を双方向バス3の特性インピーダンスに合わせてそれぞれ $Z0$ に設定する。そのため、本実施例ではドライバのオン抵抗と双方向バス3とがインピーダンス整合する。

また、受信側を終端する抵抗器8bの値を双方向バス3の特性インピーダンスの2倍以上の値、ここでは $R3 \Omega$ に設定し、基準電圧 $Vref=0.25(V1+V2)$ となるように抵抗器8aの値を $R1 \Omega$ に設定する。このとき、 $R1$ は、

$$R1=R3 \cdot Z0(3V1-V2)/(V1 \cdot R3+V1 \cdot Z0-V2 \cdot R3+V2 \cdot Z0)$$

となる。

また、伝送信号のハイレベル $VOH1$ 、ロウレベル $VOL1$ は、

$$VOH1=(R3 \cdot R1 \cdot V2+R3 \cdot Z0 \cdot V1)/(Z0 \cdot R1+R3 \cdot R1+R3 \cdot Z0)$$

$$VOL1=R3 \cdot Z0 \cdot V1/(Z0 \cdot R1+R3 \cdot R1+R3 \cdot Z0)$$

である。

このように、伝送線路の特性インピーダンス $Z0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を伝送できる。また、電源電圧 $VDDQ$ は2種類、基準電圧 $Vref$ は1種類で済む。さらに、基準電圧 $Vref$ を $0.25(V1+V2)$ に設定しているので、基準電圧 $Vref$ を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 $Vref$ の値が、電源電圧 $VDDQ$ の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電圧が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。



図15は、本発明の信号伝送システムの第3実施例の構成を示す回路図である。なお、図15はSingle-ended信号を送受信する、第1の実施の形態の信号伝送システムの具体例である。図15(a)は1.5V系のLSI1から1.2V系のLSI2へ信号を送信する場合の等価回路を示し、図15(b)は1.2V系のLSI2から1.5V系のLSI1へ信号を送信する場合の等価回路を示している。

また、図15では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器8a、8b、9a、9bの値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス3の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはCTT終端されている。

第3実施例の信号伝送システムは、1.5V系のLSI1から信号を送信する場合、ドライバを構成するpMOSトランジスタ4aのオン抵抗及びnMOSトランジスタ4bのオン抵抗を双方向バス3の特性インピーダンスに合わせてそれぞれ $40\Omega$ に設定する。また、受信側を終端する抵抗器9a、9bの値をそれぞれ双方向バス3の特性インピーダンスの2倍の値、ここでは $80\Omega$ に設定する。この場合、ドライバのオン抵抗及び終端抵抗の両方と双方向バス3とがインピーダンス整合する。このように設定すると、 $V_{OH2}=1.05V$ 、 $V_{OL2}=0.30V$ となり、基準電圧 $V_{ref2}=0.675V$ となる。したがって、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ が $0.375V$ となるため、信号振幅値を十分に確保できる。

一方、1.2V系のLSI2から信号を送信する場合、ドライバを構成するpMOSトランジスタ6aのオン抵抗及びnMOSトランジスタ6bのオン抵抗を双方向バス3の特性インピーダンスに合わせてそれぞれ $40\Omega$ に設定する。また、受信側を終端する抵抗器8a、8bの値をそれぞれ双方向バス3の特性インピーダンスの2倍の値、ここでは $80\Omega$ に設定する。この場合、ドライバのオン抵抗及び終端抵抗の両方と双方向バス3とがインピーダンス整合する。このように設

定すると、 $V_{OH1}=0.975V$ 、 $V_{OL1}=0.375V$ となり、基準電圧  $V_{ref1}=0.675V$ となる。この場合、基準電圧  $V_{ref1}$ に対する信号振幅値  $\Delta$ が  $0.30V$ となるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス  $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好な Signal integrity で信号を送送できる。本実施例では、各ドライバのオン抵抗及び各終端抵抗の値がそれぞれ伝送線路と整合しているため、特に Signal integrity が優れている。また、電源電圧  $V_{DDQ}$ は2種類、基準電圧  $V_{ref}$ は1種類で済む。さらに、基準電圧  $V_{ref}$ を  $0.25(V_1+V_2)$ に設定しているため、基準電圧  $V_{ref}$ を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧  $V_{ref}$ の値が電源電圧  $V_{DDQ}$ の  $1/2$ の値から大きくずれていないため、各ドライバの pMOS トランジスタ及び nMOS トランジスタのドレインソース間に十分な電位が印加され、pMOS トランジスタ及び nMOS トランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図16に図15に示した信号伝送システムを一般化した回路を示す。

図16(a)は電源電圧  $V_{DDQ}=V_1$ 系のLSI1から電源電圧  $V_{DDQ}=V_2$ 系のLSI2へ信号を送信する場合の等価回路を示し、図16(b)は  $V_2$ 系のLSI2から  $V_1$ 系のLSI1へ信号を送信する場合の等価回路を示している。なお、図16では、 $V_1>V_2$ である。また、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

また、信号を送信するドライバは Push-pull 接続された pMOS トランジスタ及び nMOS トランジスタで構成され、伝送線路である双方向バス3の特性インピーダンスは  $Z_0$ である。信号を受信する Receiver は CTT 終端されている。

まず、 $V_1$ 系のLSI1から信号を送信する場合、ドライバを構成する pMOS トランジスタ4aのオン抵抗及び nMOS トランジスタ4bのオン抵抗を双方向バス3の特性インピーダンスに合わせてそれぞれ  $Z_0$ に設定する。また、受信

側を終端する抵抗器 9 a、9 b の値をそれぞれ双方向バス 3 の特性インピーダンスの 2 倍の値  $2Z_0$  に設定する。この場合、ドライバのオン抵抗及び終端抵抗の両方と双方向バス 3 とがインピーダンス整合する。

このように、ドライバのオン抵抗及び抵抗器 9 a、9 b の値を設定すれば、伝送信号のハイレベル  $V_{OH2}$ 、ロウレベル  $V_{OL2}$ 、及び基準電圧  $V_{ref2}$  は、

$$V_{OH2} = 0.5V_1 + 0.25V_2$$

$$V_{OL2} = 0.25V_2$$

$$V_{ref2} = 0.25(V_1 + V_2)$$

となる。

一方、V2系のLSI2から信号を送信する場合、ドライバを構成するpMOSトランジスタ6aのオン抵抗及びnMOSトランジスタ6bのオン抵抗を双方向バス3の特性インピーダンスに合わせてそれぞれ $Z_0$ に設定する。また、受信側を終端する抵抗器8a、8bの値をそれぞれ双方向バス3の特性インピーダンスの2倍の値 $2Z_0$ に設定する。この場合、ドライバのオン抵抗及び終端抵抗の両方と双方向バス3とがインピーダンス整合する。

このように、ドライバのオン抵抗及び抵抗器8a、8bの値を設定すれば、伝送信号のハイレベル $V_{OH1}$ 、ロウレベル $V_{OL1}$ 、及び基準電圧 $V_{ref1}$ は、

$$V_{OH1} = 0.25V_1 + 0.5V_2$$

$$V_{OL1} = 0.25V_1$$

$$V_{ref1} = 0.25(V_1 + V_2)$$

となる。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、Signal integrityよく信号を送送できる。本実施例では、各ドライバのオン抵抗及び各終端抵抗の値がそれぞれ伝送線路と整合しているので、特にSignal integrityが優れている。また、電源電圧 $V_{DDQ}$ は2種類、基準電圧 $V_{ref}$ は1種類で済む。さらに、基準電圧 $V_{ref}$ を $0.25(V_1 + V_2)$ に設定しているので、基準電圧 $V_{ref}$ を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 $V_{ref}$ の値が電源電圧 $V_{DDQ}$ の $1/2$ の値から大きくずれていないので、各ドラ

イバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図17A、Bは、図9に示した第1の実施の形態の信号伝送システムの適用例を示すブロック図である。

図17Aに示す信号伝送システムは、1.5V系の半導体集積回路装置(LSI)1と1.2V系の半導体集積回路装置(LSI)2とが伝送線路である双方向バス3で直接接続され、さらに、1.2V系の半導体集積回路装置(LSI)2と1.2V系の半導体集積回路装置(LSI)16とが伝送線路である双方向バス15で直接接続された構成である。1.5V系のLSI1と1.2V系のLSI2とは、例えばDIMM17に搭載される。

図17Bに示すように、1.5V系のLSI1はドライバ(D)4を有し、1.2V系のLSI2は、1.5V系のLSI1から信号を受信するレシーバ7、及びCTT終端を形成する抵抗器8a、8bと、1.2V系のLSI16から信号を受信するレシーバ19、及びCTT終端を形成する抵抗器20a、20bとを有する構成である。また、1.2V系のLSI16は、ドライバ(D)18を有する構成である。図17Bでは、構成を簡単に示すため、1.2V系のLSI2が1.5V系のLSI1及び1.2V系のLSI16から信号を受信する場合の構成のみを示しているが、各LSIはそれぞれ双方向に信号伝送が可能な構成である。

1.2V系のLSI2とLSI16間は、例えば図3に示した従来の信号伝送システムを用いて信号を伝送すればよい。但し、図3では、電源電圧VDDQが1.5Vの構成例を示しているため、本実施例では電源電圧VDDQを1.2Vに置き換えて考えればよい。その場合、信号伝送に必要な基準電圧Vrefの値は双方とも0.6Vとなる。

一方、1.5V系のLSI1と1.2V系のLSI12間は、第1の実施の形態の信号伝送システムを用いて信号を伝送すればよい。その場合、信号伝送に必要な基準電圧Vrefの値は双方とも0.675Vとなる。

図17に示す信号伝送システムは、信号を送信するドライバのオン抵抗と基準電圧 $V_{ref}$ の設定方法が図6に示した従来の信号伝送システムと異なる構成である。

このような構成によれば、電源電圧 $V_{DDQ}$ が2種類、基準電圧 $V_{ref}$ が2種類となり、従来よりもこれらの電圧の種類を低減できる。また、基準電圧 $V_{ref}$ も容易に生成できる。本実施形態では、DIMM17へ供給する電源電圧 $V_{DDQ}$ が2種類になるが、1.2V電源のLSIを多用できるので、DIMMの電力やシステムの電力を低減できる。

図18A、Bは、図9に示した第1の実施の形態の信号伝送システムの適用例を示すブロック図である。

図18Aに示す信号伝送システムは、1.5V系の半導体集積回路装置(LSI)1と1.2V系の半導体集積回路装置(LSI)2とが伝送線路である双方向バス3で直接接続され、さらに、1.5V系の半導体集積回路装置(LSI)1と1.5V系の半導体集積回路装置(LSI)21とが伝送線路である双方向バス22で直接接続された構成である。1.5V系のLSI1と1.5V系のLSI21とは、例えばDIMM17に搭載される。

図18Bに示すように、1.5V系のLSI1は、1.5V系のLSI21から信号を受信するレシーバ23、及びCTT終端を形成する抵抗器25a、25bと、1.2V系のLSI2から信号を受信するレシーバ5、及びCTT終端を形成する抵抗器8a、8bとを有する構成である。また、1.5V系のLSI21はドライバ24を有し、1.2V系のLSI2はドライバ6を有する構成である。図18Bでは、構成を簡単に示すため、1.5V系のLSI1が1.5V系のLSI21及び1.2V系のLSI11から信号を受信する場合の構成のみを示しているが、各LSIはそれぞれ双方向に信号伝送が可能な構成である。

1.5V系のLSI21とLSI11間は、例えば図3に示した従来の信号伝送システムを用いて信号を伝送すればよい。その場合、信号伝送に必要な基準電圧 $V_{ref}$ の値はそれぞれ0.75Vとなる。

一方、1.5V系のLSI1と1.2V系のLSI12間は、第1の実施の形態の信号伝送システムを用いて信号を伝送すればよい。その場合、信号伝送に必

要な基準電圧 $V_{ref}$ の値は双方とも0.675Vとなる。

このような構成によれば、電源電圧 $V_{DDQ}$ が2種類、基準電圧 $V_{ref}$ が2種類となり、従来よりもこれらの電圧の種類を低減できる。また、基準電圧 $V_{ref}$ も容易に生成できる。本実施形態では、DIMM17へ供給する電源電圧 $V_{DDQ}$ が1種類になるため、DIMM基板の層数を減らすことができる。

図19は本発明の信号伝送システムの第2の実施の形態の構成を示すブロック図である。

図19に示すように、第2の実施の形態の信号伝送システムは、1.5V系の半導体集積回路装置(LSI)30と1.2V系の半導体集積回路装置(LSI)31とが伝送線路である双方向バス32で直接接続され、さらに1.2V系の半導体集積回路装置(LSI)31と1.2V系の半導体集積回路装置(LSI)51とが伝送線路である双方向バス41で直接接続された構成である。1.5V系のLSI30と1.2V系のLSI31とは、例えばDIMM50に搭載される。

1.5V系のLSI30は、ドライバ(D)33、レシーバ(R)34、VTT終端を形成する抵抗器37、及びスイッチ38を有する構成である。1.2V系のLSI31は、1.5V系のLSI30と信号を送受信するためのドライバ(D)35、レシーバ(R)36、VTT終端を形成する抵抗器39、及びスイッチ40と、1.2V系のLSI51と信号を送受信するためのドライバ(D)42、レシーバ(R)43、VTT終端を形成する抵抗器46、及びスイッチ47とを有する構成である。また、1.2V系のLSI51は、ドライバ(D)44、レシーバ(R)45、VTT終端を形成する抵抗器48、及びスイッチ49を有する構成である。

本実施形態の信号伝送システムでは、1.2V系のLSI31及びLSI51は同一の電源電圧 $V_{DDQ}$ で動作するLSI間で信号を伝送するため、 $V_{TT}=0.5V_2=0.6V$ に設定する。ここで、 $V_2$ は低 $V_{DDQ}$ 値、すなわち、ここでは $V_2$ は1.2Vである。また、1.5V系のLSI30と1.2V系のLSI51間を中継する1.2V系のLSI31には低 $V_{DDQ}$ 値を供給する。

このような構成において、1.5V系のLSI30から1.2V系のLSI3

1へ信号を送信する場合は、1.2V系のLSI31のドライバ35の出力をハイインピーダンス (High impedance) 状態に設定し、1.5V系のLSI30のスイッチ38をOFFにする。逆に、1.2V系のLSI31から1.5V系のLSI30へ信号を送信する場合は、1.5V系のLSI30のドライバ33の出力をハイインピーダンス状態に設定し、1.2V系のLSI31のスイッチ40をOFFにする。そして、1.2V系のLSI31から1.5V系のLSI30へ信号を送信するときに参照する基準電圧 $V_{ref1}$ と、1.5V系のLSI30から1.2V系のLSI31へ信号を送信するときに参照する基準電圧 $V_{ref2}$ とを一致させる。具体的には $V_{ref1}=V_{ref2}=0.5V_2$ とする。ここで、 $V_2$ は、2つのLSIに供給する電源電圧VDDQのうち、低い方の電源電圧VDDQ (図19では1.2V) である。したがって、基準電圧 $V_{ref1}=V_{ref2}=0.6V$ となる。

この基準電圧 $V_{ref}$ は、LSIの出力信号のハイレベル及びロウレベルを用いて表すことも可能であり、1.5V系のLSI30から送信する信号のハイレベルを $VOH_2$ 、信号のロウレベルを $VOL_2$ としたとき、基準電圧 $V_{ref2}$ は $0.5(VOH_2+VOL_2)$ であり、1.2V系のLSI31から送信する信号のハイレベルを $VOH_1$ 、信号のロウレベルを $VOL_1$ としたとき、基準電圧 $V_{ref1}$ は $0.5(VOH_1+VOL_1)$ である。なお、1.2V系のLSI31とLSI51間は、例えば図7(b)に示した従来の信号伝送システムの構成を用いて信号伝送を行えばよい。その場合、信号伝送に必要な基準電圧 $V_{ref}$ の値は双方とも $0.6V$ となる。このように基準電圧 $V_{ref}$ を設定することで、電源電圧VDDQは2種類、終端電圧VTTは1種類、基準電圧 $V_{ref}$ は1種類で済み、基準電圧 $V_{ref}$ も容易に生成できる。

本実施形態では、DIMM50へ供給する電源電圧VDDQが2種類になるが、1.2V電源のLSIを多用できるので、DIMMの電力やシステムの電力を低減できる。

図20は、本発明の信号伝送システムの第4実施例の構成を示す回路図である。

なお、図20はSingle-ended 信号を送受信する、第2の実施の形態の信号伝送システムの具体例である。図20は1.5V系のLSI30と1.2V系のLS

I 3 1間の回路のみ示している。第4実施例は、図19に示した3つのLSI間で信号を伝送する例だけでなく、図20に示すように異なる電源電圧で動作する2つのLSI間で信号を伝送する場合にも有効である。なお、図20(a)は1.5V系のLSI30から1.2V系のLSI31へ信号を送信する場合の等価回路を示し、図20(b)は1.2V系のLSI31から1.5V系のLSI30へ信号を送信する場合の等価回路を示している。

また、図20では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器37、39の値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス32の特性インピーダンス $Z_0$ は40Ωである。信号を受信するReceiverはVTT終端されている。

第4実施例の信号伝送システムは、1.5V系のLSI30から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器39の値を双方向バス32の特性インピーダンス $Z_0$ と同じ40Ωに設定する。この場合、終端抵抗と双方向バス32とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ33bのオン抵抗を双方向バス32の特性インピーダンス以下の値、例えば20Ωに設定し、pMOSトランジスタ33aのオン抵抗を50Ωに設定する。このようにすると、 $V_{OH2}=1.00V$ 、 $V_{OL2}=0.20V$ となり、基準電圧 $V_{ref2}=0.60V$ となる。この場合、基準電圧 $V_{ref2}$ の値は低VDDQ値(1.2V)の1/2である。また、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は0.40Vとなるため、信号振幅値を十分に確保できる。

なお、本実施例では、pMOSトランジスタ33aのオン抵抗が双方向バス32の特性インピーダンス $Z_0$ よりも大きくなっているが、これらの値を調整することで信号の振幅を変えることが可能であり、信号振幅をより大きくしたい場合は、その他の値の組合せでもよい。例えば、pMOSトランジスタ33aのオン抵抗=35Ω、nMOSトランジスタ33bのオン抵抗=10Ωにすると、VO



$H2=1.08V$ 、 $VOL2=0.12V$ となり、基準電圧 $V_{ref2}=0.60V$ となる。

一方、 $1.2V$ 系の $LSI31$ から信号を送信する場合、信号受信側の $V_{TT}$ 終端を形成する抵抗器 $37$ の値を双方向バス $32$ の特性インピーダンス $Z_0$ と同じ $40\Omega$ に設定する。この場合、終端抵抗と双方向バス $32$ とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ $35a$ のオン抵抗及びnMOSトランジスタ $35b$ のオン抵抗をそれぞれ双方向バス $32$ の特性インピーダンス以下の値、例えば $20\Omega$ に設定する。このようにすると、 $VOH1=1.00V$ 、 $VOL2=0.20V$ となる。また、基準電圧 $V_{ref1}=0.60V$ となり、基準電圧 $V_{ref2}$ に一致する。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.40V$ となるため、信号振幅値を十分に確保できる。

なお、本実施例では、pMOSトランジスタ $33a$ のオン抵抗が双方向バス $32$ の特性インピーダンス $Z_0$ よりも大きくなっているが、これらの値を調整することで信号の振幅を変えることが可能であり、信号振幅をより大きくしたい場合は、その他の値の組合せでもよい。例えば、pMOSトランジスタ $33a$ のオン抵抗を $35\Omega$ 、nMOSトランジスタ $33b$ のオン抵抗を $10\Omega$ にすると、 $VOH2=1.08V$ 、 $VOL2=0.12V$ となり、基準電圧 $V_{ref2}$ は $0.60V$ となる。

また、双方向バス $32$ 上を流れる信号のリターン電流の経路を、 $1.5V$ 系の $LSI30$ と $1.2V$ 系の $LSI31$ とに共通なグランドプレーンとする。この場合、プリント基板の設計が容易になる。なお、電源電圧 $V_{DDQ}$ をリターン電流の経路にすると、 $1.5V$ 電源と $1.2V$ 電源とをそれぞれリターン電流の経路として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス $32$ を流れる信号のリターン電流の経路はグランドプレーンであることが好ましい。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を送送できる。また、電源電圧 $V_{DDQ}$ は2種類、終端電圧 $V_{TT}$ は1種類、基準

電圧 $V_{ref}$ は1種類で済む。さらに、基準電圧 $V_{ref}$ を $0.5V_2$ に設定しているので、基準電圧 $V_{ref}$ を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 $V_{ref}$ の値が電源電圧 $V_{DDQ}$ の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電圧が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図21に図20に示した第4実施例の信号伝送システムを一般化した回路を示す。

図21(a)は電源電圧 $V_{DDQ}=V_1$ 系のLSI30から電源電圧 $V_{DDQ}=V_2$ 系のLSI31へ信号を送信する場合の等価回路を示し、図21(b)は $V_2$ 系のLSI31から $V_1$ 系のLSI30へ信号を送信する場合の等価回路を示している。なお、図21では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

また、信号を送信するドライバはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス32の特性インピーダンスは $Z_0$ である。信号を受信するReceiverはVTT終端されている。

まず、 $V_1$ 系のLSI30から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器39の値を双方向バス32の特性インピーダンス $Z_0$ と同じ値に設定する。この場合、終端抵抗と双方向バス32とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ33bのオン抵抗を双方向バス32の特性インピーダンス以下の値、例えば $R_\Omega$ に設定し、pMOSトランジスタ33aのオン抵抗を、基準電圧 $V_{ref2}=0.5V_2$ となるように $R_1\Omega$ に設定する。このとき、 $R_1$ は、

$$R_1 = 2V_1(R + Z_0) / V_2 - (2Z_0 + R)$$

となる。

また、伝送信号のハイレベル $VOH_2$ 、ロウレベル $VOL_2$ は、

$$VOH2=(V2 \cdot Z0+0.5V2 \cdot R)/(R+Z0)$$

$$VOL2=0.5V2 \cdot R/(R+Z0)$$

である。

一方、V2系のLSI31から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器37の値を双方向バス32の特性インピーダンスZ0と同じ値に設定する。この場合、終端抵抗と双方向バス32とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ33aのオン抵抗及びnMOSトランジスタ35bのオン抵抗を双方向バス32の特性インピーダンス以下の値、例えばそれぞれR2Ωに設定する。このとき、基準電圧Vref1は、

$$Vref1=0.5V2$$

となる。

また、伝送信号のハイレベルVOH1、ロウレベルVOL1は、

$$VOH1=(V2 \cdot Z0+0.5V2 \cdot R2)/(R2+Z0)$$

$$VOL1=0.5V2 \cdot R2/(R2+Z0)$$

である。

このように、伝送線路の特性インピーダンスZ0に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を伝送できる。また、電源電圧VDDQは2種類、終端電圧VTTは1種類、基準電圧Vrefは1種類で済む。さらに、基準電圧Vrefを0.5V2に設定しているので、基準電圧Vrefを容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧Vrefの値が電源電圧VDDQの1/2の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図22は本発明の信号伝送システムの第5実施例の構成を示す回路図である。

図22は1.5V系のLSI55と1.2V系のLSI56間でSingle-ended信号を伝送する回路例である。なお、図22(a)は1.5V系のLSI55から1.2V系のLSI56へ信号を送信する場合の等価回路を示し、図22(b)

は1.2V系のLSI56から1.5V系のLSI55へ信号を送信する場合の等価回路を示している。

また、図22では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器60a、60b、62a、62bの値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス57の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはCTT終端されている。

第5実施例の信号伝送システムは、1.5V系のLSI55から信号を送信する場合、ドライバを構成するpMOSトランジスタ59aのオン抵抗及びnMOSトランジスタ59bのオン抵抗を双方向バス57の特性インピーダンスと同じ $40\Omega$ に設定する。この場合、ドライバのオン抵抗と双方向バス57とがインピーダンス整合する。

また、信号受信側のCTT終端を形成する抵抗器60aの値を双方向バス57の $2Z_0$ 以上の値、例えば $120\Omega$ に設定し、抵抗器60bの値を $97.78\Omega$ に設定する。このようにすると、 $V_{OH2}=1.09V$ 、 $V_{OL2}=0.23V$ となり、基準電圧 $V_{ref2}=0.66V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.43V$ となるため、信号振幅値を十分に確保できる。

一方、1.2V系のLSI56から信号を送信する場合、ドライバを構成するpMOSトランジスタ61aのオン抵抗及びnMOSトランジスタ61bのオン抵抗を双方向バス57の特性インピーダンスと同じ $40\Omega$ に設定する。この場合、ドライバのオン抵抗と双方向バス57とがインピーダンス整合する。

また、信号受信側のCTT終端を形成する抵抗器62bの値を双方向バス57の $2Z_0$ 以上の値、例えば $120\Omega$ に設定し、抵抗器62aの値も $120\Omega$ に設定する。このようにすると、 $V_{OH2}=1.02V$ 、 $V_{OL2}=0.30V$ となる。また、基準電圧 $V_{ref1}=0.66V$ となり、基準電圧 $V_{ref2}$ に一致

する。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は $0.36V$ となるため、信号振幅値を十分に確保できる。

また、双方向バス57上を流れる信号のリターン電流の経路を、1.5V系のLSI55と1.2V系のLSI56とに共通なグランドプレーンとする。このような構成では、プリント基板の設計が容易になる。なお、電源電圧 $VDDQ$ をリターン電流の経路とする場合、1.5V電源と1.2V電源とをそれぞれリターン電流の経路として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス57を流れる信号のリターン電流の経路はグランドプレーンであることが好ましい。このことは以下の例でも同様であるので、以下省略する。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を送送できる。また、電源電圧 $VDDQ$ は2種類、基準電圧 $V_{ref}$ は1種類で済む。本実施例では、基準電圧発生回路が少々複雑な構成になるが、伝送信号の最小振幅を図13に示した第2実施例よりも若干大きく取れる。また、基準電圧 $V_{ref}$ の値が電源電圧 $VDDQ$ の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図23に図22に示した第5実施例の信号伝送システムを一般化した回路を示す。

図23(a)は電源電圧 $VDDQ=V1$ 系のLSI55から電源電圧 $VDDQ=V2$ 系のLSI56へ信号を送信する場合の等価回路を示し、図23(b)はV2系のLSI56からV1系のLSI55へ信号を送信する場合の等価回路を示している。なお、図23では、 $V1 > V2$ である。また、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

また、信号を送信するドライバはPush-pull 接続された pMOS トランジスタ及び nMOS トランジスタで構成され、伝送線路である双方向バス 57 の特性インピーダンスは  $Z_0$  である。信号を受信する Receiver は CTT 終端されている。

まず、V1 系の LSI 55 から信号を送信する場合、ドライバを構成する pMOS トランジスタ 59 a のオン抵抗及び nMOS トランジスタ 59 b のオン抵抗を双方向バス 57 の特性インピーダンスと同じ  $Z_0$  に設定する。この場合、ドライバのオン抵抗と双方向バス 57 とがインピーダンス整合する。

また、信号受信側の CTT 終端を形成する抵抗器 60 a の値を双方向バス 57 の  $2Z_0$  以上の値、ここでは  $R\Omega$  に設定し、抵抗器 60 b の値を  $R1\Omega$  に設定する。

ここで、 $R1$  は、以下の式を満たす。

$$R1 = 2R \cdot Z_0 (V1 \cdot Z_0 + 0.5V2 \cdot R) / (V2 \cdot R \cdot Z_0 + R \cdot R \cdot V1 + 4Z_0 \cdot Z_0 \cdot V2 - R \cdot R \cdot V2 - 2Z_0 \cdot Z_0 \cdot V1)$$

このようにすると、

$$VOH2 = (R \cdot R1 \cdot V1 + R1 \cdot Z_0 \cdot V2) / (R \cdot R1 + R1 \cdot Z_0 + R \cdot Z_0)$$

$$VOL2 = R1 \cdot Z_0 \cdot V2 / (R \cdot R1 + R \cdot Z_0 + R1 \cdot Z_0)$$

となり、

$$Vref2 = (0.5V1 \cdot Z_0 + 0.25V2 \cdot R) / (Z_0 + 0.5R)$$

となる。

一方、V2 系の LSI 56 から信号を送信する場合、ドライバを構成する pMOS トランジスタ 61 a のオン抵抗及び nMOS トランジスタ 61 b のオン抵抗を双方向バス 57 の特性インピーダンスと同じ  $Z_0$  に設定する。この場合、ドライバのオン抵抗と双方向バス 57 とがインピーダンス整合する。

また、信号受信側の CTT 終端を形成する抵抗器 62 b の値を双方向バス 57 の  $2Z_0$  以上の値、ここでは  $R\Omega$  に設定し、抵抗器 62 a の値も  $R\Omega$  に設定する。

このようにすると、

$$VOH1 = (0.5V1 \cdot Z_0 + 0.5V2 \cdot R) / (Z_0 + 0.5R)$$

$$VOL1 = 0.5V1 \cdot Z_0 / (Z_0 + 0.5R)$$

となり、

$$V_{ref1} = (0.5V_1 \cdot Z_0 + 0.25V_2 \cdot R) / (Z_0 + 0.5R)$$

となる。この値は  $V_{ref2}$  と同一である。

このように、伝送線路の特性インピーダンス  $Z_0$  に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好な Signal integrity で信号を送送できる。また、電源電圧  $V_{DDQ}$  は 2 種類、基準電圧  $V_{ref}$  は 1 種類で済む。本実施例では、基準電圧発生回路が少々複雑な構成になるが、伝送信号の最小振幅を図 14 の例よりも若干大きく取れる。また、基準電圧  $V_{ref}$  の値が電源電圧  $V_{DDQ}$  の  $1/2$  の値から大きくずれていないので、各ドライバの pMOS トランジスタ及び nMOS トランジスタのドレイン－ソース間に十分な電位が印加され、pMOS トランジスタ及び nMOS トランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図 24 は本発明の信号伝送システムの第 6 実施例の構成を示す回路図である。

図 24 は 1.5V 系の LSI 55 と 1.2V 系の LSI 56 間で Single-ended 信号を送送する回路例である。図 24 (a) は 1.5V 系の LSI 55 から 1.2V 系の LSI 56 へ信号を送信する場合の等価回路を示し、図 24 (b) は 1.2V 系の LSI 56 から 1.5V 系の LSI 55 へ信号を送信する場合の等価回路を示している。

また、図 24 では、電位の値に寄与しない、レシーバ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は抵抗器 60a、60b、62a、62b の値に含めて記載している。

また、信号を送信する Driver は Push-pull 接続された pMOS トランジスタ及び nMOS トランジスタで構成され、伝送線路である双方向バス 57 の特性インピーダンス  $Z_0$  は  $40\Omega$  である。信号を受信する Receiver は CTT 終端されている。

第 6 実施例の信号伝送システムでは、1.5V 系の LSI 55 から信号を送信する場合、ドライバを構成する pMOS トランジスタ 59a のオン抵抗及び nMOS トランジスタ 59b のオン抵抗を双方向バス 57 の特性インピーダンスと同

じ $40\Omega$ に設定する。この場合、ドライバのオン抵抗と双方向バス57とがインピーダンス整合する。

また、信号受信側のCTT終端を形成する抵抗器60aの値及び抵抗器60bの値をそれぞれ双方向バス57の $2Z_0$ 以上の値、例えば $120\Omega$ に設定する。このようにすると、 $V_{OH2}=1.14V$ 、 $V_{OL2}=0.24V$ となり、基準電圧 $V_{ref2}=0.69V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.45V$ となるため、信号振幅値を十分に確保できる。

一方、1.2V系のLSI56から信号を送信する場合、ドライバを構成するpMOSトランジスタ61aのオン抵抗及びnMOSトランジスタ61bのオン抵抗を双方向バス57の特性インピーダンスと同じ $40\Omega$ に設定する。この場合、ドライバのオン抵抗と双方向バス57とがインピーダンス整合する。

また、信号受信側のCTT終端を形成する抵抗器62bの値を双方向バス57の $2Z_0$ 以上の値、例えば $120\Omega$ に設定し、抵抗器62aの値を $101.25\Omega$ に設定する。このようにすると、 $V_{OH1}=1.037V$ 、 $V_{OL1}=0.343V$ となる。また、基準電圧 $V_{ref1}=0.69V$ となり、基準電圧 $V_{ref1}$ と $V_{ref2}$ に一致する。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は $0.347V$ となるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を伝送できる。また、電源電圧 $V_{DDQ}$ は2種類、基準電圧 $V_{ref}$ は1種類で済む。本実施例では、基準電圧発生回路が少々複雑な構成になるが、基準電圧 $V_{ref}$ の値を若干高めに設定できるので、nMOSトランジスタで受ける入力回路の設計が容易になる可能性がある。また、基準電圧 $V_{ref}$ の値が電源電圧 $V_{DDQ}$ の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレイン－ソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

なお、第6実施例は、CTT終端され、オン抵抗が伝送線路の特性インピーダンス $Z_0$ に等しいPush-pull構成のドライバを有する点で第2実施例(図13)、



及び第5実施例（図22）と同じ構成であるため、終端抵抗の値を可変できるようにしておけば、これらの実施例も実現できる。

図25は本発明の信号伝送システムの第7実施例の構成を示す回路図である。

図25は1.5V系のLSI55と1.2V系のLSI56間でSingle-ended信号を伝送する回路例である。図25(a)は1.5V系のLSI55から1.2V系のLSI56へ信号を送信する場合の等価回路を示し、図25(b)は1.2V系のLSI56から1.5V系のLSI55へ信号を送信する場合の等価回路を示している。

また、図25では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器66a、66b、68a、68bの値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス57の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはCTT終端されている。

第7実施例の信号伝送システムでは、1.5V系のLSI55から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器66aの値及び抵抗器R66bの値を、それぞれ双方向バス57の $2Z_0$ に等しい $80\Omega$ に設定する。終端抵抗の値は、抵抗器66aと66bの並列値に等しいため、終端抵抗と双方向バス57とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ65bのオン抵抗を双方向バス57の特性インピーダンス $Z_0$ 以下の値、例えば $20\Omega$ に設定し、pMOSトランジスタ65aのオン抵抗を $32\Omega$ に設定する。このようにすると、 $V_{OH2}=1.10V$ 、 $V_{OL2}=0.20V$ となり、基準電圧 $V_{ref2}=0.65V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.45V$ となるため、信号振幅値を十分に確保できる。

一方、1.2V系のLSI56から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器68aの値及び抵抗器R68bの値をそれぞれ双方向バス

57の $Z_0$ に等しい $80\Omega$ に設定する。終端抵抗の値は、抵抗器68aと68bの並列値に等しいため、終端抵抗と双方向バス57とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ67bのオン抵抗及びpMOSトランジスタ67aのオン抵抗を、それぞれ双方向バス57の特性インピーダンス $Z_0$ 以下の値、例えば $20\Omega$ に設定する。このようにすると、 $V_{OH1}=1.05V$ 、 $V_{OL1}=0.25V$ となる。また、基準電圧 $V_{ref1}=0.65V$ となり、基準電圧 $V_{ref2}$ の値に一致する。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.40V$ となるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を送送できる。また、電源電圧 $V_{DDQ}$ は2種類、基準電圧 $V_{ref}$ は1種類で済む。本実施例では、基準電圧発生回路が少々複雑な構成になるが、伝送信号の最小振幅を図10の例よりも大きく取れる。また、基準電圧 $V_{ref}$ の値が電源電圧 $V_{DDQ}$ の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図26に図25に示した第7実施例の信号伝送システムを一般化した回路を示す。

図26(a)は電源電圧 $V_{DDQ}=V_1$ 系のLSI55から電源電圧 $V_{DDQ}=V_2$ 系のLSI56へ信号を送信する場合の等価回路を示し、図26(b)は $V_2$ 系のLSI56から $V_1$ 系のLSI55へ信号を送信する場合の等価回路を示している。なお、図26では、 $V_1>V_2$ である。また、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

また、信号を送信するドライバはPush-pull接続されたpMOSトランジスタ

及びnMOSトランジスタで構成され、伝送線路である双方向バス57の特性インピーダンスは $Z_0$ である。信号を受信するReceiverはCTT終端されている。

まず、1.5V系のLSI55から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器66aの値及び抵抗器R66bの値をそれぞれ $2Z_0$ に設定する。終端抵抗の値は、抵抗器66aと66bの並列値に等しいため、終端抵抗と双方向バス57とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ65bのオン抵抗を双方向バス57の特性インピーダンス $Z_0$ 以下の値、ここでは $R_\Omega$ に設定し、pMOSトランジスタ65aのオン抵抗を $R_1\Omega$ に設定する。

このとき、 $R_1$ は、

$$R_1 = (V_1 \cdot Z_0 \cdot Z_0 - V_2 \cdot Z_0 \cdot Z_0 + 0.5V_2 \cdot Z_0 \cdot R) / (V_1 \cdot R + 0.5V_2 \cdot Z_0 - V_2 \cdot R)$$

となる。

このようにすると、

$$V_{OH2} = (0.5V_2 \cdot R_1 + V_1 \cdot Z_0) / (R_1 + Z_0),$$

$$V_{OL2} = 0.5V_2 \cdot R / (R + Z_0)$$

となり、

$$V_{ref2} = (V_1 \cdot R + Z_0 \cdot V_2) / 2(Z_0 + R)$$

となる。

一方、1.2V系のLSI56から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器68aの値及び抵抗器R68bの値をそれぞれ $2Z_0$ に設定する。終端抵抗の値は、抵抗器68aと68bの並列値に等しいため、終端抵抗と双方向バス57とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ67bのオン抵抗及びpMOSトランジスタ67aのオン抵抗を、それぞれ双方向バス57の特性インピーダンス $Z_0$ 以下の値、ここでは $R_\Omega$ に設定する。このようにすると、

$$V_{OH1} = (0.5V_1 \cdot R + V_2 \cdot Z_0) / (R + Z_0)$$

$$V_{OL1} = (V_1 \cdot R + Z_0 \cdot V_2) / 2(R + Z_0)$$

となり、

$$V_{ref1} = (V_1 \cdot R + Z_0 \cdot V_2) / 2(Z_0 + R) \text{ となり、} V_{ref2} \text{ と一致している。}$$

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好な Signal integrity で信号を伝送できる。また、電源電圧 $V_{DDQ}$ は2種類、基準電圧 $V_{ref}$ は1種類で済む。本実施例では、基準電圧発生回路が少々複雑な構成になるが、伝送信号の最小振幅を図12の例よりも大きく取れる。また、基準電圧 $V_{ref}$ の値が電源電圧 $V_{DDQ}$ の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図25では基準電圧 $V_{ref}$ の値を $0.65V$ に統一した例を示しが、ドライバのオン抵抗を調整することで、例えば、 $0.7V$ に統一することも可能である。

なお、第7実施例は、終端抵抗の値が伝送線路の特性インピーダンスに等しいCTT終端され、Push-pull構成のドライバを有すると点で第1実施例(図10)と同じ構成であるため、ドライバのオン抵抗の値を可変できるようにしておけば、第1実施例も実現できる。

上記各実施例では、ドライバのオン抵抗を伝送線路の特性インピーダンスに一致させた構成、あるいは終端抵抗の値を伝送線路の特性インピーダンスに一致させた構成を示したが、両者の組合せも可能である。すなわち、 $1.5V$ 系のLSIから送信するときはドライバのオン抵抗を伝送線路の特性インピーダンスに一致させ、 $1.2V$ 系のLSIから送信する時は終端抵抗の値を伝送線路の特性インピーダンスに一致させることも可能であり、それと逆の構成も可能である。さらに、基準電圧 $V_{ref}$ の値を各LSIで一致させてもよい。

図27は本発明の信号伝送システムの第8実施例の構成を示す回路図である。

図27は $1.5V$ 系のLSI70と $1.2V$ 系のLSI71間でSingle-ended信号を伝送する回路例である。図27(a)は $1.5V$ 系のLSI70から $1.2V$ 系のLSI71へ信号を送信する場合の等価回路を示し、図27(b)は $1.2V$ 系のLSI71から $1.5V$ 系のLSI70へ信号を送信する場合の等価回路を示している。

また、図 27 では、電位の値に寄与しない、レシーバ、OFF 状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON 状態にあるスイッチの抵抗値は抵抗器 74、76 の値に含めて記載している。

また、信号を送信する Driver は Push-pull 接続された pMOS トランジスタ及び nMOS トランジスタで構成され、伝送線路である双方向バス 72 の特性インピーダンス  $Z_0$  は  $40\ \Omega$  である。信号を受信する Receiver は VTT 終端されている。

1. 5V 系の LSI 70 からの送信時に用いられる VTT には、受信側の 1.2V 系の LSI 71 の電源電圧  $V_{DDQ}$  ( $1.2\text{ V}$ ) の  $1/2$  である  $0.6\text{ V}$  が供給される。また、1.2V 系の LSI 71 からの送信時に用いられる VTT には、受信側の 1.5V 系の LSI 70 の電源電圧  $V_{DDQ}$  ( $1.5\text{ V}$ ) の  $1/2$  である  $0.75\text{ V}$  が供給される。

第 8 実施例の信号伝送システムでは、1.5V 系の LSI 70 から信号を送信する場合、信号受信側の VTT 終端を形成する抵抗器 74 の値を双方向バス 72 の特性インピーダンスの値と同じ  $40\ \Omega$  に設定する。したがって、終端抵抗と双方向バス 72 とがインピーダンス整合する。

また、ドライバを構成する nMOS トランジスタ 73b のオン抵抗を双方向バス 72 の特性インピーダンス  $Z_0$  以下の値、例えば  $20\ \Omega$  に設定し、pMOS トランジスタ 73a のオン抵抗を  $25.45\ \Omega$  に設定する。このようにすると、 $V_{OH2} = 1.15\text{ V}$ 、 $V_{OL2} = 0.20\text{ V}$  となり、基準電圧  $V_{ref2} = 0.675\text{ V}$  となる。この場合、基準電圧  $V_{ref2}$  に対する信号振幅値  $\Delta$  は  $0.475\text{ V}$  となるため、信号振幅値を十分に確保できる。

あるいは、ドライバを構成する nMOS トランジスタ 73b のオン抵抗を双方向バス 72 の特性インピーダンス  $Z_0$  以下の値、例えば  $40\ \Omega$  に設定し、pMOS トランジスタ 73a のオン抵抗も  $40\ \Omega$  に設定する。このようにすると、 $V_{OH2} = 1.05\text{ V}$ 、 $V_{OL2} = 0.30\text{ V}$  となり、基準電圧  $V_{ref2} = 0.675\text{ V}$  となる。この場合、基準電圧  $V_{ref2}$  に対する信号振幅値  $\Delta$  は  $0.375\text{ V}$  となるため、信号振幅値を十分に確保できる。

一方、1.2V 系の LSI 71 から信号を送信する場合、信号受信側の VTT

終端を形成する抵抗器 76 の値を双方向バス 72 の特性インピーダンスの値と同じ  $40\ \Omega$  に設定する。したがって、終端抵抗と双方向バス 72 とがインピーダンス整合する。

また、ドライバを構成する pMOS トランジスタ 75 a のオン抵抗を双方向バス 72 の特性インピーダンス  $Z_0$  以下の値、例えば  $20\ \Omega$  に設定し、nMOS トランジスタ 75 b のオン抵抗を  $26.67\ \Omega$  に設定する。このようにすると、 $V_{OH1} = 1.05\text{ V}$ 、 $V_{OL1} = 0.30\text{ V}$  となる。また、基準電圧  $V_{ref1} = 0.675\text{ V}$  となり、基準電圧  $V_{ref2}$  の値に一致している。この場合、基準電圧  $V_{ref1}$  に対する信号振幅値  $\Delta$  は  $0.375\text{ V}$  となるため、信号振幅値を十分に確保できる。

あるいは、ドライバを構成する pMOS トランジスタ 75 a のオン抵抗を双方向バス 72 の特性インピーダンス  $Z_0$  以下の値、例えば  $40\ \Omega$  に設定し、nMOS トランジスタ 75 b のオン抵抗を  $40\ \Omega$  に設定する。このようにすると、 $V_{OH1} = 0.975\text{ V}$ 、 $V_{OL1} = 0.375\text{ V}$  となる。また、基準電圧  $V_{ref1} = 0.675\text{ V}$  となり、基準電圧  $V_{ref2}$  の値に一致している。この場合、基準電圧  $V_{ref1}$  に対する信号振幅値  $\Delta$  は  $0.30\text{ V}$  となるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス  $Z_0$  に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好な Signal integrity で信号を伝送できる。また、電源電圧  $V_{DDQ}$  は 2 種類、基準電圧  $V_{ref}$  は 1 種類で済む。さらに、本実施例では基準電圧  $V_{ref} = 0.25(V_1 + V_2)$  となるように設定するので基準電圧  $V_{ref}$  の生成が容易である。すなわち、システムコストを低減できる。なお、本実施例では終端電圧  $V_{TT}$  が 2 種類必要であるが、終端電圧  $V_{TT}$  はドライバがハイインピーダンス状態のときは電力が消費されない。また、基準電圧  $V_{ref}$  の値が電源電圧  $V_{DDQ}$  の  $1/2$  の値から大きくずれていないので、各ドライバの pMOS トランジスタ及び nMOS トランジスタのドレインソース間に十分な電位が印加され、pMOS トランジスタ及び nMOS トランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図28に図27に示した第8実施例の信号伝送システムを一般化した回路を示す。

図28(a)は電源電圧 $V_{DDQ}=V_1$ 系のLSI70から電源電圧 $V_{DDQ}=V_2$ 系のLSI71へ信号を送信する場合の等価回路を示し、図28(b)は $V_2$ 系のLSI71から $V_1$ 系のLSI70へ信号を送信する場合の等価回路を示している。なお、図28では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

また、信号を送信するドライバはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス72の特性インピーダンスは $Z_0$ である。信号を受信するReceiverはVT T終端されている。

$V_1$ 系のLSI70からの送信時に用いられるVT Tには、受信側の $V_2$ 系のLSI71の電源電圧 $V_{DDQ}(V_2)$ の $1/2$ である $0.5V_2$ が供給される。また、 $V_2$ 系のLSI71からの送信時に用いられるVT Tには、受信側の $V_1$ 系のLSI70の電源電圧 $V_{DDQ}(V_1)$ の $1/2$ である $0.5V_1$ が供給される。

まず、 $V_1$ 系のLSI70から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器74の値を双方向バス72の特性インピーダンスの値と同じ $Z_0$ に設定する。したがって、終端抵抗と双方向バス72とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ73bのオン抵抗を双方向バス72の特性インピーダンス $Z_0$ 以下の値、ここでは $R_\Omega$ に設定し、 $V_{ref} = 0.25(V_1 + V_2)$ となるようにpMOSトランジスタ73aのオン抵抗を $R_1\Omega$ に設定する。このとき、 $R_1$ は、

$$R_1 = Z_0(V_2 \cdot Z_0 - V_1 \cdot R - V_1 \cdot Z_0) / (V_2 \cdot R - V_1 \cdot Z_0 - V_1 \cdot R)$$

となる。

また、伝送信号のハイレベル $V_{OH2}$ 、ロウレベル $V_{OL2}$ は、

$$V_{OH2} = (V_1 - 0.5V_2)Z_0 / (R_1 + Z_0) + 0.5V_2$$

$$VOL2=0.5V2 \cdot R/(Z0+R)$$

である。

あるいは、ドライバを構成するnMOSトランジスタ73bのオン抵抗を双方向バス72の特性インピーダンスと同じZ0に設定し、 $V_{ref}=0.25(V1+V2)$ となるようにpMOSトランジスタ73aのオン抵抗をZ0に設定する。このとき、伝送信号のハイレベルVOH2、ロウレベルVOL2は、

$$VOH2=0.5V1+0.25V2$$

$$VOL2=0.25V2$$

である。

一方、V2系のLSI71から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器76の値を双方向バス72の特性インピーダンスの値と同じZ0に設定する。したがって、終端抵抗と双方向バス72とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ75aのオン抵抗を双方向バス72の特性インピーダンスZ0以下の値、ここでは $R3\Omega$ に設定し、 $V_{ref}=0.25(V1+V2)$ となるようにnMOSトランジスタ75bのオン抵抗を $R2\Omega$ に設定する。このとき、R2は、

$$R2=Z0(V1 \cdot Z0+V2 \cdot R3-V2 \cdot Z0)/(V1 \cdot R3+V2 \cdot Z0-V2 \cdot R3)$$

となる。

また、伝送信号のハイレベルVOH1、ロウレベルVOL1は、

$$VOH1=(V2-0.5V1)Z0/(R3+Z0) + 0.5V1$$

$$VOL1=0.5V1 \cdot R2/(Z0+R2)$$

である。

あるいは、ドライバを構成するpMOSトランジスタ75aのオン抵抗を双方向バス72の特性インピーダンスと同じZ0に設定し、 $V_{ref}=0.25(V1+V2)$ となるようにnMOSトランジスタ75bのオン抵抗をZ0に設定する。このとき、伝送信号のハイレベルVOH1、ロウレベルVOL1は、

$$VOH1=0.25V1+0.5V2$$

$$VOL1=0.25V1$$



である。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好な Signal integrity で信号を送送できる。また、電源電圧 $V_{DDQ}$ は2種類、基準電圧 $V_{ref}$ は1種類で済む。さらに、基準電圧 $V_{ref} = 0.25(V_1 + V_2)$ となるように設定しているので基準電圧 $V_{ref}$ の生成が容易である。すなわち、システムコストを低減できる。なお、本実施例では終端電圧 $V_{TT}$ が2種類必要であるが、終端電圧 $V_{TT}$ はドライバがハイインピーダンス状態のときは電力が消費されない。また、基準電圧 $V_{ref}$ の値が電源電圧 $V_{DDQ}$ の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図29は本発明の信号伝送システムの第9実施例の構成を示す回路図である。

図29は1.5V系のLSI70と1.2V系のLSI71間でSingle-ended信号を送送する回路例である。図29(a)は1.5V系のLSI70から1.2V系のLSI71へ信号を送信する場合の等価回路を示し、図29(b)は1.2V系のLSI71から1.5V系のLSI70へ信号を送信する場合の等価回路を示している。

また、図29では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器74、76の値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス72の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverは $V_{TT}$ 終端されている。さらに、1.5V系のLSI70からの送信時に用いられる $V_{TT}$ には、受信側の1.2V系のLSI71の電源電圧 $V_{DDQ}$  (1.2V)の $1/2$ である0.6Vが供給される。また、1.2V系のLSI71からの送信時に用いられる $V_{TT}$ には、受信側の1.5V系のLSI70の電源電圧 $V_{DDQ}$  (1.5V)

の $1/2$ である $0.75\text{ V}$ が供給される。

第9実施例の信号伝送システムでは、 $1.5\text{ V}$ 系のLSI70から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器74の値を双方向バス72の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗と双方向バス72とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ73bのオン抵抗を双方向バス72の特性インピーダンス $Z_0$ 以下の値、例えば $20\ \Omega$ に設定し、pMOSトランジスタ73aのオン抵抗を $110\ \Omega$ に設定する。このようにすると、 $V_{OH2}=0.95\text{ V}$ 、 $V_{OL2}=0.25\text{ V}$ となり、基準電圧 $V_{ref2}=0.6\text{ V}$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.35\text{ V}$ となるため、信号振幅値を十分に確保できる。

一方、 $1.2\text{ V}$ 系のLSI71から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器76の値を双方向バス72の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗と双方向バス72とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ75aのオン抵抗を双方向バス72の特性インピーダンス $Z_0$ 以下の値、例えば $20\ \Omega$ に設定し、nMOSトランジスタ75bのオン抵抗も $20\ \Omega$ に設定する。このようにすると、 $V_{OH1}=1.00\text{ V}$ 、 $V_{OL1}=0.20\text{ V}$ となる。また、基準電圧 $V_{ref1}=0.6\text{ V}$ となり、基準電圧 $V_{ref2}$ の値に一致する。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は $0.4\text{ V}$ となるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を伝送できる。また、電源電圧 $V_{DDQ}$ は2種類、基準電圧 $V_{ref}$ は1種類で済む。さらに、本実施例では基準電圧 $V_{ref}=0.5\text{ V}$ となるように設定するので基準電圧 $V_{ref}$ の生成が容易である。すなわち、システムコストを低減できる。終端電圧VT Tは2種類必要であるが、終端電圧VT Tはドライバがハイインピーダンス状態のときは電力が消費されない。また、基準電圧 $V_{ref}$ の値が電源電圧 $V_{DDQ}$ の $1/2$ の値から大きくずれていないので、各ドライバのp

MOSトランジスタ及びnMOSトランジスタのドレイン－ソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図30は本発明の信号伝送システムの第10実施例の構成を示す回路図である。

図30は1.5V系のLSI70と1.2V系のLSI71間でSingle-ended信号を伝送する回路例である。図30(a)は1.5V系のLSI70から1.2V系のLSI71へ信号を送信する場合の等価回路を示し、図30(b)は1.2V系のLSI71から1.5V系のLSI70へ信号を送信する場合の等価回路を示している。

また、図30では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器74、76の値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス72の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはVTT終端されている。さらに、1.5V系のLSI70及び1.2V系のLSI71には、高VDDQ値(1.5V)の $1/2$ である0.75Vが終端電圧VTTとしてそれぞれ供給される。

第10実施例の信号伝送システムでは、1.5V系のLSI70から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器74の値を双方向バス72の特性インピーダンスの値と同じ $40\Omega$ に設定する。したがって、終端抵抗と双方向バス72とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ73bのオン抵抗を双方向バス72の特性インピーダンス $Z_0$ 以下の値、例えば $20\Omega$ に設定し、pMOSトランジスタ73aのオン抵抗を $60\Omega$ に設定する。このようにすると、 $V_{OH2}=1.05V$ 、 $V_{OL2}=0.25V$ となり、基準電圧 $V_{ref2}=0.65V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.4V$ となるため、信号振幅値を十分に確保できる。

一方、1.2V系のLSI71から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器76の値を双方向バス72の特性インピーダンスの値と同じ40Ωに設定する。したがって、終端抵抗と双方向バス72とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ75aのオン抵抗を双方向バス72の特性インピーダンス $Z_0$ 以下の値、例えば20Ωに設定し、nMOSトランジスタ75bのオン抵抗も20Ωに設定する。このようにすると、 $V_{OH1}=1.05V$ 、 $V_{OL1}=0.25V$ となる。また、基準電圧 $V_{ref1}=0.6V$ となり、基準電圧 $V_{ref2}$ の値に一致する。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は0.4Vとなるため、信号振幅値を十分に確保できる。

本実施例では、各ドライバのオン抵抗の値を調整して $73a=73b=75a=20\Omega$ 、 $75b=60\Omega$ に設定することで、基準電圧 $V_{ref}$ の値を0.75Vに設定することが可能である。その場合、本実施例は1.5V系のLSI70と信号の送受信を行う他のLSIが存在するシステムに用いることもできる。

例えば、図19に示した第2の実施の形態の信号伝送システムでは、中間に配置されるLSIに低VDDQ値が供給されていた。本実施例は、中間に配置されるLSIに高VDDQ値を供給できる例である。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を送送できる。また、本実施例では、電源電圧VDDQが2種類、終端電圧VTTが1種類、基準電圧 $V_{ref}$ が1種類で済む。さらに、本実施例では基準電圧 $V_{ref}=0.5V_1$ となるように設定するため基準電圧 $V_{ref}$ の生成が容易である。すなわち、システムコストを低減できる。また、VTT終端電圧はドライバがハイインピーダンス状態のときは電力が消費されない。また、基準電圧 $V_{ref}$ の値が、電源電圧VDDQの1/2の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図31は本発明の信号伝送システムの第11実施例の構成を示す回路図である。

図31は1.5V系のLSI70と1.2V系のLSI71間でSingle-ended信号を伝送する回路例である。図31(a)は1.5V系のLSI70から1.2V系のLSI71へ信号を送信する場合の等価回路を示し、図31(b)は1.2V系のLSI71から1.5V系のLSI70へ信号を送信する場合の等価回路を示している。

また、図31では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器74、76の値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス72の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはVTT終端されている。さらに、1.5V系のLSI70からの送信時に用いられるVTTには、受信側の1.2V系のLSI71の電源電圧VDDQ(1.2V)の $1/2$ である0.6Vが供給される。また、1.2V系のLSI71からの送信時に用いられるVTTには、受信側の1.5V系のLSI70の電源電圧VDDQ(1.5V)の $1/2$ である0.75Vが供給される。

第11実施例の信号伝送システムでは、1.5V系のLSI70から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器74の値を双方向バス72の特性インピーダンスの値と同じ $40\Omega$ に設定する。したがって、終端抵抗と双方向バス72とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ73bのオン抵抗を双方向バス72の特性インピーダンス $Z_0$ 以下の値、例えば $20\Omega$ に設定し、pMOSトランジスタ73aのオン抵抗を $32\Omega$ に設定する。このようにすると、 $VOH2=1.10V$ 、 $VOL2=0.2V$ となり、基準電圧 $V_{ref2}=0.65V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.45V$ となるため、信号振幅値を十分に確保できる。

一方、1.2V系のLSI71から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器76の値を双方向バス72の特性インピーダンスの値と同

じ40Ωに設定する。したがって、終端抵抗と双方向バス72とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ75aのオン抵抗及びnMOSトランジスタ75bのオン抵抗をそれぞれ双方向バス72の特性インピーダンス $Z_0$ 以下の値、例えば20Ωに設定する。このようにすると、 $V_{OH1}=1.05V$ 、 $V_{OL1}=0.25V$ となる。また、基準電圧 $V_{ref1}$ は0.65Vとなり、基準電圧 $V_{ref2}$ の値に一致する。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は0.40Vとなるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を伝送できる。また、電源電圧 $V_{DDQ}$ が2種類、基準電圧 $V_{ref}$ が1種類で済む。本実施例では、基準電圧発生回路が少々複雑な構成になるが、伝送信号の最小振幅を図27に示した第8実施例よりも大きく取れる。さらに、終端電圧 $V_{TT}$ が2種類必要であるが、終端電圧 $V_{TT}$ はドライバがハイインピーダンス状態のときは電力が消費されない。また、基準電圧 $V_{ref}$ の値が電源電圧 $V_{DDQ}$ の1/2の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図32は本発明の信号伝送システムの第12実施例の構成を示す回路図である。

図32は1.5V系のLSI70と1.2V系のLSI71間でSingle-ended信号を伝送する回路例である。図32(a)は1.5V系のLSI70から1.2V系のLSI71へ信号を送信する場合の等価回路を示し、図32(b)は1.2V系のLSI71から1.5V系のLSI70へ信号を送信する場合の等価回路を示している。

また、図32では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器74、76の値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及

びnMOSトランジスタで構成され、伝送線路である双方向バス72の特性インピーダンス $Z_0$ は $40\ \Omega$ である。信号を受信するReceiverはVT T終端されている。さらに、1.5V系のLSI70からの送信時に用いられるVT Tには、受信側の1.2V系のLSI71の電源電圧VDDQ (1.2V)の $1/2$ である0.6Vが供給される。また、1.2V系のLSI71からの送信時に用いられるVT Tには、受信側の1.5V系のLSI70の電源電圧VDDQ (1.5V)の $1/2$ である0.75Vが供給される。

第12実施例の信号伝送システムでは、1.5V系のLSI70から信号を送信する場合、ドライバを構成するpMOSトランジスタ73aのオン抵抗及びnMOSトランジスタ73bのオン抵抗の値を双方向バス72の特性インピーダンスと同じ $40\ \Omega$ に設定する。したがって、ドライバのオン抵抗と双方向バス72とがインピーダンス整合する。

また、信号受信側のVT T終端を形成する抵抗器74の値を、例えば $26.67\ \Omega$ に設定する。このようにすると、 $VOH2=0.96\text{V}$ 、 $VOL2=0.36\text{V}$ となり、基準電圧 $V_{ref2}=0.66\text{V}$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.33\text{V}$ となるため、信号振幅値を十分に確保できる。

一方、1.2V系のLSI71から信号を送信する場合、ドライバを構成するpMOSトランジスタ75aのオン抵抗及びnMOSトランジスタ75bのオン抵抗の値を双方向バス72の特性インピーダンスと同じ $40\ \Omega$ に設定する。したがって、ドライバのオン抵抗と双方向バス72とがインピーダンス整合する。

また、信号受信側のVT T終端を形成する抵抗器76の値を、例えば $60\ \Omega$ に設定する。このようにすると、 $VOH1=1.02\text{V}$ 、 $VOL1=0.30\text{V}$ となる。また、基準電圧 $V_{ref1}$ が $0.66\text{V}$ となり、基準電圧 $V_{ref2}$ の値に一致する。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は $0.36\text{V}$ となるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を伝送できる。また、電源電圧VDDQは2種類、基準電圧 $V_{ref}$ は1種類で済

む。なお、本実施例では終端電圧 $V_{TT}$ が2種類必要であるが、終端電圧 $V_{TT}$ はドライバがハイインピーダンス状態のときは電力が消費されない。また、本実施例では、基準電圧 $V_{ref}$ の値が、電源電圧 $V_{DDQ}$ の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図33は本発明の信号伝送システムの第13実施例の構成を示す回路図である。

図33は1.5V系のLSI80と1.2V系のLSI81間でSingle-ended信号を伝送する回路例である。図33(a)は1.5V系のLSI80から1.2V系のLSI81へ信号を送信する場合の等価回路を示し、図33(b)は1.2V系のLSI81から1.5V系のLSI80へ信号を送信する場合の等価回路を示している。

また、図33では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器84、86の値に含めて記載している。

また、信号を送信するDriverはnMOSトランジスタで構成されたOpen drain回路であり（Open drain構成）、伝送線路である双方向バス82の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverは $V_{TT}$ 終端されている。なお、1.5V系のLSI80からの送信時に用いられる $V_{TT}$ には、受信側の1.2V系のLSI81の電源電圧 $V_{DDQ}$ である1.2Vが供給される。また、1.2V系のLSI81からの送信時に用いられる $V_{TT}$ には、受信側の1.5V系のLSI80の電源電圧 $V_{DDQ}$ である1.5Vが供給される。

第13実施例の信号伝送システムでは、1.5V系のLSI80から信号を送信する場合、信号受信側の $V_{TT}$ 終端を形成する抵抗器84の値を双方向バス82の特性インピーダンスの値と同じ $40\Omega$ に設定する。したがって、終端抵抗と双方向バス82とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ83のオン抵抗を双方向バス82の特性インピーダンス $Z_0$ 以下の値、例えば $20\Omega$ に設定する。このように



すると、 $V_{OH2}=1.2V$ 、 $V_{OL2}=0.40V$ となり、基準電圧 $V_{ref2}=0.80V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.40V$ となるため、信号振幅値を十分に確保できる。

一方、 $1.2V$ 系のLSI81から信号を送信する場合、信号受信側のVT T 終端を形成する抵抗器86の値を双方向バス82の特性インピーダンスの値と同じ $40\Omega$ に設定する。したがって、終端抵抗と双方向バス82とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ85のオン抵抗を、例えば $2.86\Omega$ に設定する。このようにすると、 $V_{OH1}=1.50V$ 、 $V_{OL1}=0.10V$ となる。また、基準電圧 $V_{ref1}=0.80V$ となり、基準電圧 $V_{ref2}$ の値に一致する。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は $0.70V$ となるため、信号振幅値を十分に確保できる。

また、双方向バス82上を流れる信号のリターン電流の経路を、 $1.5V$ 系のLSI80と $1.2V$ 系のLSI81とに共通なグランドプレーンにするとプリント基板の設計が容易になる。なお、電源電圧 $V_{DDQ}$ をリターン電流の経路とする場合、 $1.5V$ 電源と $1.2V$ 電源とをそれぞれリターン電流の経路として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス82を流れる信号のリターン電流の経路はグランドプレーンであることが好ましい。

このように、電源電圧 $V_{DDQ}$ に接続されたVT T 終端、及びOpen drain ドライバを備え、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、良好な Signal integrity で信号を伝送できる。また、本実施例では電源電圧 $V_{DDQ}$ が2種類、基準電圧 $V_{ref}$ が1種類で済む。さらに、基準電圧 $V_{ref}$ は $0.8V=(2/3)V_2$ であるので基準電圧 $V_{ref}$ の生成が容易である。すなわち、システムコストを低減できる。また、終端電圧VT T は、ドライバがハイインピーダンス状態のときは電力が消費されない。また、各ドライバのnMOSトランジスタのドレインソース間に十分な電位が印加されるため、nMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求され

る回路に用いることができる。また、基準電圧 $V_{ref}$ の値が大きいため、レシーバの設計が容易になる。

図34は本発明の信号伝送システムの第14実施例の構成を示す回路図である。

図34は1.5V系のLSI80と1.2V系のLSI81間でSingle-ended信号を伝送する回路例である。図34(a)は1.5V系のLSI80から1.2V系のLSI81へ信号を送信する場合の等価回路を示し、図34(b)は1.2V系のLSI81から1.5V系のLSI80へ信号を送信する場合の等価回路を示している。

また、図34では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器84、86の値に含めて記載している。

また、信号を送信するDriverはnMOSトランジスタで構成されたOpen drain回路であり、伝送線路である双方向バス82の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはVTT終端されている。なお、1.5V系のLSI80からの送信時に用いられるVTTには、受信側の1.2V系のLSI81の電源電圧 $V_{DDQ}$ と同じ1.2Vが供給される。また、1.2V系のLSI81からの送信時に用いられるVTTには、受信側の1.5V系のLSI80の電源電圧 $V_{DDQ}$ と同じ1.5Vが供給される。

第14実施例の信号伝送システムでは、1.5V系のLSI80から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器84の値を双方向バス82の特性インピーダンスの値と同じ $40\Omega$ に設定する。したがって、終端抵抗と双方向バス82とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ83のオン抵抗を双方向バス82の特性インピーダンス $Z_0$ 以下の値、例えば $40\Omega$ に設定する。このようにすると、 $V_{OH2}=1.20V$ 、 $V_{OL2}=0.60V$ となり、基準電圧 $V_{ref}$ は $0.90V$ となる。この場合、基準電圧 $V_{ref}$ に対する信号振幅値 $\Delta$ は $0.30V$ となるため、信号振幅値を十分に確保できる。なお、 $\Delta$ は、例えばSSTL-1.8で規定された、基準電圧 $V_{ref}$ に対する入力レベル( $0.25V$ )の値を目安とする。

一方、1.2V系のLSI81から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器86の値を双方向バス82の特性インピーダンスの値と同じ40Ωに設定する。したがって、終端抵抗と双方向バス82とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ85のオン抵抗を双方向バス82の特性インピーダンス $Z_0$ 以下の値、例えば40Ωに設定する。このようにすると、 $VOH1=1.50V$ 、 $VOL1=0.75V$ となり、基準電圧 $V_{ref1}$ は1.125Vとなる。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は0.375Vとなるため、信号振幅値を十分に確保できる。

本実施例では、基準電圧 $V_{ref1}$ と $V_{ref2}$ とが一致しないが、電源電圧VDDQが2種類、基準電圧 $V_{ref}$ が2種類であるため、電源の種類としては比較的少なくて済む。

このように、電源電圧VDDQに接続されたVTT終端、及びOpen drainドライバを備え、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、良好なSignal integrityで信号を伝送できる。また、電源電圧VDDQが2種類、基準電圧 $V_{ref}$ が2種類で済む。さらに、基準電圧 $V_{ref2}$ は0.6V1 (0.9V) あるいは $(3/4)V_2$ であるので基準電圧 $V_{ref2}$ の生成が容易である。

一方、基準電圧 $V_{ref1}$ は1.125Vであるが、基準電圧 $V_{ref1}$ を容易に生成したい場合は、ドライバを構成するnMOSトランジスタ85のオン抵抗を20Ωにすればよい。その場合、 $VOH1=1.5V$ 、 $VOL1=0.5V$ となり、基準電圧 $V_{ref1}$ は $(2/3)V_1$ となるため、基準電圧 $V_{ref1}$ の生成が容易になる。また、基準電圧 $V_{ref1}$ を基準電圧 $V_{ref2}$  (=0.9V) に一致させる場合は、ドライバを構成するnMOSトランジスタ85のオン抵抗を10Ωにすればよい。その場合、 $VOH1=1.5V$ 、 $VOL1=0.3V$ となり、基準電圧 $V_{ref1}$ は0.9Vとなる。この値は、上記0.6V1 あるいは $(3/4)V_2$ であるため、容易に生成できる。よって、システムコストを低減できる。また、終端電圧VTTはドライバがハイインピーダンス状態のときは電力が消費されない。また、各ドライバのnMOSトランジスタのドレイ

ソース間に十分な電位が印加されるため、nMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。また、基準電圧 $V_{ref}$ の値が大きいため、レシーバの設計が容易になる。

図35は本発明の信号伝送システムの第15実施例の構成を示す回路図である。

図35は1.5V系のLSI90と1.2V系のLSI91間でSingle-ended信号を伝送する回路例である。図35(a)は1.5V系のLSI90から1.2V系のLSI91へ信号を送信する場合の等価回路を示し、図35(b)は1.2V系のLSI91から1.5V系のLSI90へ信号を送信する場合の等価回路を示している。

また、図35では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器94、96の値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス92の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはVTT終端されている。なお、1.5V系のLSI90からの送信時に用いられるVTTには、受信側の1.2V系のLSI91の電源電圧 $V_{DDQ}$ と同じ1.2Vが供給される。また、1.2V系のLSI91からの送信時に用いられるVTTには、受信側の1.5V系のLSI90の電源電圧 $V_{DDQ}$ と同じ1.5Vが供給される。

第15実施例の信号伝送システムでは、1.5V系のLSI90から信号を送信する場合、ドライバを構成するpMOSトランジスタ93aのオン抵抗及びnMOSトランジスタ93bのオン抵抗の値を双方向バス92の特性インピーダンスと同じ $40\Omega$ に設定する。したがって、ドライバのオン抵抗と双方向バス92とがインピーダンス整合する。

また、信号受信側のVTT終端を形成する抵抗器94の値を、双方向バス92の特性インピーダンス以上の値、例えば $Z_0 = 80\Omega$ に設定する。このようにすると、 $V_{OH2} = 1.40V$ 、 $V_{OL2} = 0.40V$ となり、基準電圧 $V_{ref2}$ は $0.9V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は

0. 50 Vとなるため、信号振幅値を十分に確保できる。

なお、抵抗器94の値は60 Ω等に設定することもできるが、基準電圧 $V_{ref2}$ の生成を容易にするため、抵抗器94の値は220 (80 Ω) に設定するのが好ましい。このとき、基準電圧 $V_{ref2}$ は $(V1+V2)/3$ で得られる。

一方、1. 2 V系のLSI91から信号を送信する場合、ドライバを構成するpMOSトランジスタ95aのオン抵抗及びnMOSトランジスタ95bのオン抵抗の値を双方向バス92の特性インピーダンスと同じ40 Ωに設定する。したがって、ドライバのオン抵抗と双方向バス92とがインピーダンス整合する。

また、信号受信側のVT T終端を形成する抵抗器96の値を、双方向バス92の特性インピーダンス以上の値、例えば220=80 Ωに設定する。このようにすると、 $VOH1=1.30V$ 、 $VOL1=0.50V$ となる。また、基準電圧 $V_{ref1}$ は0.9 Vとなり、基準電圧 $V_{ref2}$ に一致する。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は0.40 Vとなるため、信号振幅値を十分に確保できる。

なお、抵抗器96の値は69.1 Ω等に設定することもできるが、基準電圧 $V_{ref1}$ の生成を容易にするため、抵抗器96の値は220 (80 Ω) に設定するのが好ましい。このとき、基準電圧 $V_{ref1}$ は $(V1+V2)/3$ で得られる。

また、本実施例では、双方向バス92上を流れる信号のリターン電流の経路を、1. 5 V系のLSI90と1. 2 V系のLSI91とに共通なグランドプレーンとする。このような構成はプリント基板の設計が容易になる。なお、電源電圧 $V_{DDQ}$ をリターン電流の経路にすると、1. 5 V電源と1. 2 V電源とをそれぞれリターン電流の経路として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス92を流れる信号のリターン電流の経路はグランドプレーンであることが好ましい。

このように、電源電圧 $V_{DDQ}$ に接続されたVT T終端、及びPush-pull ドライバを備え、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、良好なSignal

integrity で信号を伝送できる。また、本実施例では電源電圧VDDQが2種類、基準電圧Vrefが1種類で済む。さらに、本実施例では基準電圧Vrefを $(V_1 + V_2) / 3$ となるように設定するので基準電圧Vrefの生成が容易である。すなわち、システムコストを低減できる。また、終端電圧VTTは、ドライバがハイインピーダンス状態のときは電力が消費されない。なお、本実施例では基準電圧Vrefの値が電源電圧VDDQの $1/2$ の値から少しずれているが、大きな問題とはならない。

図36は本発明の信号伝送システムの第16実施例の構成を示す回路図である。

図36は1.5V系のLSI90と1.2V系のLSI91間でSingle-ended信号を伝送する回路例である。図36(a)は1.5V系のLSI90から1.2V系のLSI91へ信号を送信する場合の等価回路を示し、図36(b)は1.2V系のLSI91から1.5V系のLSI90へ信号を送信する場合の等価回路を示している。

また、図36では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器94、96の値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス92の特性インピーダンスZ0は $40\Omega$ である。信号を受信するReceiverはVTT終端されている。なお、1.5V系のLSI90からの送信時に用いられるVTTには、受信側の1.2V系のLSI91に供給される電源電圧VDDQと同じ1.2Vが供給される。また、1.2V系のLSI91からの送信時に用いられるVTTには、受信側の1.5V系のLSI90に供給される電源電圧VDDQと同じ1.5Vが供給される。

第16実施例の信号伝送システムでは、1.5V系のLSI90から信号を送信する場合、信号受信側のVTT終端を形成する抵抗器94の値を、双方向バス92の特性インピーダンスの値と同じ $40\Omega$ に設定する。したがって、終端抵抗と双方向バス92とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ93aのオン抵抗及びnMO

Sトランジスタ93bのオン抵抗の値を双方向バス92の特性インピーダンス $Z_0$ の $1/2$ である $20\Omega$ に設定する。このようにすると、 $V_{OH2}=1.40V$ 、 $V_{OL2}=0.40V$ となり、基準電圧 $V_{ref2}$ は $0.9V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ が $0.50V$ となるため、信号振幅値を十分に確保できる。このとき、基準電圧 $V_{ref2}$ は $(V_1+V_2)/3$ で得られる。

一方、 $1.2V$ 系のLSI91から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器96の値を双方向バス92の特性インピーダンスの値と同じ $40\Omega$ に設定する。したがって、終端抵抗と双方向バス92とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ95aのオン抵抗及びnMOSトランジスタ95bのオン抵抗の値を双方向バス92の特性インピーダンス $Z_0$ の $1/2$ である $20\Omega$ に設定する。このようにすると、 $V_{OH1}=1.30V$ 、 $V_{OL1}=0.50V$ となる。また、基準電圧 $V_{ref1}$ は $0.9V$ となり、基準電圧 $V_{ref2}$ の値に一致する。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は $0.40V$ となるため、信号振幅値を十分に確保できる。このとき、基準電圧 $V_{ref1}$ は $(V_1+V_2)/3$ で得られる。

このように、電源電圧 $V_{DDQ}$ に接続されたVT T終端、及びPush-pullドライバを備え、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、良好なSignal integrityで信号を伝送できる。また、電源電圧 $V_{DDQ}$ は2種類、基準電圧 $V_{ref}$ は1種類で済む。さらに、本実施例では基準電圧 $V_{ref}$ が $(V_1+V_2)/3$ となるように設定するので基準電圧 $V_{ref}$ の生成が容易である。すなわち、システムコストを低減できる。また、終端電圧VT Tは、ドライバがハイインピーダンス状態のときは電力が消費されない。なお、本実施例では基準電圧 $V_{ref}$ の値が電源電圧 $V_{DDQ}$ の $1/2$ の値から少しずれているが、大きな問題とはならない。

図37に図36に示した第16実施例の信号伝送システムを一般化した回路を示す。

図37 (a) は電源電圧 $V_{DDQ}=V_1$ 系のLSI 90から電源電圧 $V_{DDQ}=V_2$ 系のLSI 91へ信号を送信する場合の等価回路を示し、図37 (b) は $V_2$ 系のLSI 91から $V_1$ 系のLSI 90へ信号を送信する場合の等価回路を示している。

なお、図37では、 $V_1 > V_2$ である。また、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

また、信号を送信するドライバはPush-pull 接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス92の特性インピーダンスは $Z_0$ である。信号を受信するReceiverはVT T終端されている。なお、 $V_1$ 系のLSI 90からの送信時に用いられるVT Tには、受信側のLSI 91に供給される電源電圧 $V_{DDQ}$ と同じ $V_2$ が供給される。また、 $V_2$ 系のLSI 91からの送信時に用いられるVT Tには、受信側のLSI 90の電源電圧 $V_{DDQ}$ と同じ $V_1$ が供給される。

$V_1$ 系のLSI 90から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器94の値を、双方向バス92の特性インピーダンスの値と同じ $Z_0$ に設定する。したがって、終端抵抗と双方向バス92とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ93aのオン抵抗及びnMOSトランジスタ93bのオン抵抗の値を双方向バス92の特性インピーダンス $Z_0$ の $1/2$ に設定する。このようにすると、

$$V_{OH2} = (2V_1 + V_2) / 3$$

$$V_{OL2} = V_2 / 3$$

となり、

$$V_{ref2} = (V_1 + V_2) / 3$$

となる。

一方、 $V_2$ 系のLSI 91から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器96の値を、双方向バス92の特性インピーダンスの値と同じ $Z_0$ に設定する。したがって、終端抵抗と双方向バス92とがインピーダンス整



合する。

また、ドライバを構成するpMOSトランジスタ95aのオン抵抗及びnMOSトランジスタ95bのオン抵抗の値を双方向バス92の特性インピーダンス $Z_0$ の $1/2$ に設定する。このようにすると、

$$V_{OH1} = (V_1 + 2V_2) / 3$$

$$V_{OL1} = V_1 / 3$$

となり、

$$V_{ref1} = (V_1 + V_2) / 3$$

となり、 $V_{ref2}$ と一致する。

このように、電源電圧 $V_{DDQ}$ に接続された $V_{TT}$ 終端、及びPush-pullドライバを備え、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、良好なSignal integrityで信号を伝送できる。また、電源電圧 $V_{DDQ}$ は2種類、基準電圧 $V_{ref}$ は1種類で済む。さらに、本実施例では基準電圧 $V_{ref}$ が $(V_1 + V_2) / 3$ となるように設定するので基準電圧 $V_{ref}$ の生成が容易である。すなわち、システムコストを低減できる。終端電圧 $V_{TT}$ は、ドライバがハイインピーダンス状態のときは電力が消費されない。なお、本実施例では基準電圧 $V_{ref}$ の値が電源電圧 $V_{DDQ}$ の $1/2$ の値から少しずれているが、大きな問題とはならない。

図38は図37に示した信号伝送システムで用いる基準電圧発生回路の構成例を示す回路図である。

図38に示す回路は、基準電圧 $V_{ref}$ として、 $V_{ref} = (V_1 + V_2) / 3$ を生成する回路であり、図38Aは値が $R$ と $2R$ の抵抗器をそれぞれ2つずつ用いて基準電圧 $V_{ref}$ を生成する例、図38Bは値が $R$ の4つの抵抗器と値が $2R$ の2つの抵抗器とを用いて基準電圧 $V_{ref}$ を生成する例である。各抵抗器の値 $R$ は、その値のバラツキ傾向によって使い分けることが可能である。このような簡単な構成で基準電圧 $V_{ref}$ を生成できる。

図39は本発明の信号伝送システムの第3の実施の形態の構成を示すブロック図である。

図39に示すように、第3の実施の形態の信号伝送システムは、1.5V系の半導体集積回路装置(LSI)100と1.2V系の半導体集積回路装置(LSI)101とが伝送線路である双方向バス104で直接接続され、さらに、1.2V系の半導体集積回路装置(LSI)101と1.2V系の半導体集積回路装置(LSI)102とが伝送線路である双方向バス105で直接接続された構成である。1.5V系のLSI100と1.2V系のLSI101とは、例えばDIMM103に搭載される。

LSI100、LSI101、及びLSI102は、それぞれ不図示のドライバ、レシーバ、終端抵抗、及び終端抵抗をオンオフするためのスイッチを備えている。

本実施形態の信号伝送システムでは、各LSIに供給する基準電圧 $V_{refA}$ の値が同一であり、その値を0.6V1等に設定することで基準電圧 $V_{refA}$ の生成を容易にしている。このようにすることで、システム全体として電源電圧VDQが2種類、基準電圧 $V_{refA}$ が1種類になるため、システムコストを低減できる。本実施形態では、DIMM103へ供給する電源電圧VDDQが2種類になるが、DIMMの電力やシステムの電力を低減できる。また、各LSIは共通のPCB上に搭載されていてもよい。

図40は、本発明の信号伝送システムの第17実施例の構成を示す回路図である。なお、図40はSingle-ended信号を送受信する、第3の実施の形態の信号伝送システムの具体例であり、図39に示した信号伝送システムの基準電圧 $V_{refA}$ を0.9Vに設定する例を示している。また、図40は1.5V系のLSI100と1.2V系のLSI101間で信号伝送を行う回路例である。図40(a)は1.5V系のLSI100から1.2V系のLSI101へ信号を送信する場合の等価回路を示し、図40(b)は1.2V系のLSI101から1.5V系のLSI100へ信号を送信する場合の等価回路を示している。

また、図40では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器107、109の値に含めて記載している。

また、信号を送信する Driver は nMOS トランジスタで構成された Open drain 回路であり、伝送線路である双方向バス 104 の特性インピーダンス  $Z_0$  は  $40\ \Omega$  である。信号を受信する Receiver は VTT 終端されている。なお、1.5 V 系の LSI 100 からの送信時に用いられる VTT には、受信側の 1.2 V 系の LSI 101 の電源電圧  $V_{DDQ}$  と同じ 1.2 V が供給される。また、1.2 V 系の LSI 101 からの送信時に用いられる VTT には、受信側の 1.5 V 系の LSI 100 の電源電圧  $V_{DDQ}$  と同じ 1.5 V が供給される。

第 17 実施例の信号伝送システムでは、1.5 V 系の LSI 100 から信号を送信する場合、信号受信側の VTT 終端を形成する抵抗器 107 の値を双方向バス 104 の特性インピーダンスの値と同じ  $40\ \Omega$  に設定する。したがって、終端抵抗と双方向バス 104 とがインピーダンス整合する。

また、ドライバを構成する nMOS トランジスタ 106 のオン抵抗を双方向バス 104 の特性インピーダンスの値と同じ  $40\ \Omega$  に設定する。このようにすると、 $V_{OH2} = 1.20\text{ V}$ 、 $V_{OL2} = 0.60\text{ V}$  となり、基準電圧  $V_{ref2}$  は  $0.90\text{ V}$  となる。この場合、基準電圧  $V_{ref2}$  に対する信号振幅値  $\Delta$  は  $0.30\text{ V}$  となるため、信号振幅値を十分に確保できる。また、基準電圧  $V_{ref2}$  は  $3/4 (V_2)$  で得られる。

一方、1.2 V 系の LSI 101 から信号を送信する場合、信号受信側の VTT 終端を形成する抵抗器 109 の値を双方向バス 104 の特性インピーダンスの値と同じ  $40\ \Omega$  に設定する。したがって、終端抵抗と双方向バス 104 とがインピーダンス整合する。

また、ドライバを構成する nMOS トランジスタ 108 のオン抵抗を、例えば  $10\ \Omega$  に設定する。このようにすると、 $V_{OH1} = 1.50\text{ V}$ 、 $V_{OL1} = 0.30\text{ V}$  となる。また、基準電圧  $V_{ref1}$  は  $0.90\text{ V}$  となり、基準電圧  $V_{ref2}$  の値に一致する。この場合、基準電圧  $V_{ref1}$  に対する信号振幅値  $\Delta$  は  $0.60\text{ V}$  となるため、信号振幅値を十分に確保できる。

また、双方向バス 104 上を流れる信号のリターン電流の経路を、1.5 V 系の LSI 100 と 1.2 V 系の LSI 101 とに共通なグランドプレーンとする。この場合、プリント基板の設計が容易になる。なお、電源電圧  $V_{DDQ}$  をリター

ン電流の経路にすると、1.5V電源と1.2V電源とをそれぞれリターン電流の経路として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス104を流れる信号のリターン電流の経路はグランドプレーンであることが好ましい。

このように、電源電圧VDDQに接続されたVT T終端、及びOpen drain ドライバを備え、伝送線路の特性インピーダンスZ0に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、良好なSignal integrityで信号を伝送できる。また、電源電圧VDDQは2種類、基準電圧Vrefは1種類で済む。さらに、基準電圧Vrefを0.75V2 (0.9V) になるように設定するので基準電圧Vrefの生成が容易である。すなわち、システムコストを低減できる。

また、基準電圧Vrefの値を電源電圧VDDQの1/2の値よりも高く設定するため、各ドライバのnMOSトランジスタのドレインソース間に十分な電位が印加され、nMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。また、基準電圧Vrefの値が大きいため、レシーバの設計が容易になる。

図41は、本発明の信号伝送システムの第18実施例の構成を示す回路図である。なお、図41はSingle-ended 信号を送受信する、第3の実施の形態の信号伝送システムの具体例であり、図39に示した信号伝送システムの基準電圧VrefAを0.9Vに設定する例を示している。また、図41は、1.2V系のLSI101と1.2V系のLSI102間で信号伝送を行う回路例である。図41(a)は1.2V系のLSI101から1.2V系のLSI102へ信号を送信する場合の等価回路を示し、図41(b)は1.2V系のLSI102から1.2V系のLSI101へ信号を送信する場合の等価回路を示している。

また、図41では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器111、113の値に含めて記載している。

また、信号を送信するDriverはnMOSトランジスタで構成されたOpen drain

回路であり、伝送線路である双方向バス105の特性インピーダンス $Z_0$ は $40\ \Omega$ である。信号を受信するReceiverはVT T終端されている。なお、終端電圧 $V_{TT}$ は共に $1.2\text{ V}$ である。

第18実施例の信号伝送システムでは、 $1.2\text{ V}$ 系のLSI101から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器111の値を双方向バス105の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗と双方向バス105とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ110のオン抵抗を双方向バス105の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。このようにすると、 $V_{OH2}=1.20\text{ V}$ 、 $V_{OL2}=0.60\text{ V}$ となり、基準電圧 $V_{ref2}$ は $0.90\text{ V}$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.30\text{ V}$ となるため、信号振幅値を十分に確保できる。また、基準電圧 $V_{ref2}$ は $3\text{ V}^2/4$ で得られる。

一方、 $1.2\text{ V}$ 系のLSI102から信号を送信する場合、信号受信側のVT T終端を形成する抵抗器113の値を双方向バス105の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。したがって、終端抵抗と双方向バス105とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ112のオン抵抗を双方向バス105の特性インピーダンスの値と同じ $40\ \Omega$ に設定する。このようにすると、 $V_{OH1}=1.20\text{ V}$ 、 $V_{OL1}=0.60\text{ V}$ となる。また、基準電圧 $V_{ref1}$ は $0.90\text{ V}$ となり、基準電圧 $V_{ref2}$ の値に一致する。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は $0.30\text{ V}$ となるため、信号振幅値を十分に確保できる。また、基準電圧 $V_{ref2}$ は $3\text{ V}^2/4$ で得られる。

このように、電源電圧 $V_{DDQ}$ に接続されたVT T終端、及びOpen drainドライバを備え、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を上記のように設定することで、良好なSignal integrityで信号を伝送できる。図40及び図41に示すような回路構成によって、1種類の基準電圧 $V_{refA}$  ( $=0.9\text{ V}$ ) を備えた図39に示す信号伝送システムを実現できる。

図42は、本発明の信号伝送システムの第19実施例の構成を示す回路図である。なお、図42はSingle-ended信号を送受信する、第3の実施の形態の信号伝送システムの具体例であり、図39に示した基準電圧 $V_{refA}$ を0.6Vに設定する例を示している。また、図42は1.5V系のLSI100と1.2V系のLSI101間で信号伝送を行う回路例である。図42(a)は1.5V系のLSI100から1.2V系のLSI101へ信号を送信する場合の等価回路を示し、図42(b)は1.2V系のLSI101から1.5V系のLSI100へ信号を送信する場合の等価回路を示している。

また、図42では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器115a、115b、117a、117bの値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス104の特性インピーダンス $Z_0$ は40Ωである。信号を受信するReceiverはCTT終端されている。

第19実施例の信号伝送システムでは、1.5V系のLSI100から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器115a及び115bの値を $2Z_0=80\Omega$ に設定する。終端抵抗の値は、抵抗器115aと115bの並列値に等しく、40Ωになるため、終端抵抗と双方向バス104とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ114aのオン抵抗を双方向バス104の特性インピーダンス以下の値、例えば40Ωに設定し、nMOSトランジスタ114bのオン抵抗を13.33Ωに設定する。このようにすると、 $V_{OH2}=1.05V$ 、 $V_{OL2}=0.15V$ となり、基準電圧 $V_{ref2}$ は0.60Vとなる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は0.45Vとなるため、信号振幅値を十分に確保できる。

一方、1.2V系のLSI101から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器117a及び117bの値を $2Z_0=80\Omega$ に設定する。

終端抵抗の値は、抵抗器117aと117bの並列値に等しく、 $40\Omega$ になるため、終端抵抗と双方向バス104とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ116aのオン抵抗を双方向バス104の特性インピーダンス以下の値、例えば $40\Omega$ に設定し、nMOSトランジスタ116bのオン抵抗を $17.14\Omega$ に設定する。このようにすると、 $V_{OH1}=0.975V$ 、 $V_{OL1}=0.225V$ となる。また、基準電圧 $V_{ref1}$ は $0.60V$ となり、基準電圧 $V_{ref2}$ の値に一致する。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は $0.375V$ となるため、信号振幅値を十分に確保できる。

なお、双方向バス104上を流れる信号のリターン電流の経路を、 $1.5V$ 系のLSI100と $1.2V$ 系のLSI101とに共通なグランドプレーンにすることは他の例と同様である。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を送送できる。また、電源電圧 $V_{DDQ}$ は2種類、基準電圧 $V_{ref}$ は1種類で済む。さらに、基準電圧 $V_{ref}$ が $0.5V_2$ となるように設定するため、基準電圧 $V_{ref}$ を容易に生成できる。したがって、システムのコストを低減できる。また、基準電圧 $V_{ref}$ の値が電源電圧 $V_{DDQ}$ の $1/2$ の値から大きくずれていないので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に十分な電位が印加され、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図43は、本発明の信号伝送システムの第20実施例の構成を示す回路図である。なお、図43はSingle-ended信号を送受信する、第3の実施の形態の信号伝送システムの具体例であり、図39に示した基準電圧 $V_{refA}$ を $0.6V$ に設定する例を示している。また、図43は $1.2V$ 系のLSI101と $1.2V$ 系のLSI102間で信号伝送を行う回路例である。なお、図43(a)は $1.2V$ 系のLSI101から $1.2V$ 系のLSI102へ信号を送信する場合の等価回路を示し、図43(b)は $1.2V$ 系のLSI102から $1.2V$ 系のLSI

101へ信号を送信する場合の等価回路を示している。

また、図43では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器119a、119b、121a、121bの値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス105の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはCTT終端されている。

第20実施例の信号伝送システムでは、1.2V系のLSI101から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器119a及び119bの値を $2Z_0=80\Omega$ に設定する。終端抵抗の値は、抵抗器119aと119bの並列値に等しく、 $40\Omega$ になるため、終端抵抗と双方向バス105とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ118aのオン抵抗及びnMOSトランジスタ118bのオン抵抗を、それぞれ双方向バス105の特性インピーダンス以下の値、例えば $20\Omega$ に設定する。このようにすると、 $V_{OH2}=1.00V$ 、 $V_{OL2}=0.20V$ となり、基準電圧 $V_{ref2}$ は $0.60V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.40V$ となるため、信号振幅値を十分に確保できる。

一方、1.2V系のLSI102から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器121a及び121bの値を $2Z_0=80\Omega$ に設定する。終端抵抗の値は、抵抗器121aと121bの並列値に等しく、 $40\Omega$ になるため、終端抵抗と双方向バス105とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ120aのオン抵抗及びnMOSトランジスタ120bのオン抵抗を、それぞれ双方向バス105の特性インピーダンス以下の値、例えば $20\Omega$ に設定する。このようにすると、 $V_{OH1}=1.00V$ 、 $V_{OL1}=0.20V$ となる。また、基準電圧 $V_{ref1}$ は $0.60V$ となり、基準電圧 $V_{ref2}$ の値に一致する。この場合、基準電圧 $V_{ref}$



1に対する信号振幅値 $\Delta$ は0.40Vとなるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好な Signal integrity で信号を伝送できる。

図42及び図43に示すような回路構成によって、1種類の基準電圧 $V_{refA}$  ( $=0.6V$ )を備えた図39に示した信号伝送システムを実現できる。

図44は、本発明の信号伝送システムの第21実施例の構成を示す回路図である。なお、図44はSingle-ended信号を送受信する、第3の実施の形態の信号伝送システムの具体例であり、図39に示した回路の基準電圧 $V_{refA}$ を0.675Vに設定する例を示している。また、図44は1.2V系のLSI101と1.2V系のLSI102間で信号伝送を行う回路例である。1.5V系のLSI100と1.2V系のLSI101の間の信号伝送は、例えば、図10、図13、図15に示した各実施例の構成にすればよい。図44(a)は1.2V系のLSI101から1.2V系のLSI102へ信号を送信する場合の等価回路を示し、図44(b)は1.2V系のLSI102から1.2V系のLSI101へ信号を送信する場合の等価回路を示している。

また、図44では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器119a、119b、121a、121bの値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス105の特性インピーダンス $Z_0$ は40 $\Omega$ である。信号を受信するReceiverはCTT終端されている。

第21実施例の信号伝送システムでは、1.2V系のLSI101から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器119a及び119bの値を $2Z_0=80\Omega$ に設定する。終端抵抗の値は、抵抗器119aと119bの並列値に等しく、40 $\Omega$ になるため、終端抵抗と双方向バス105とがインピ

ードダンス整合する。

また、ドライバを構成するnMOSトランジスタ118bのオン抵抗を双方向バス105の特性インピーダンス以下の値、例えば $40\Omega$ に設定し、pMOSトランジスタ118aのオン抵抗を $13.33\Omega$ に設定する。このようにすると、 $VOH2=1.05V$ 、 $VOL2=0.30V$ となり、基準電圧 $V_{ref2}$ は $0.675V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.375V$ となるため、信号振幅値を十分に確保できる。

一方、 $1.2V$ 系のLSI102から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器121a及び121bの値を $2Z0=80\Omega$ に設定する。終端抵抗の値は、抵抗器119aと119bの並列値に等しく、 $40\Omega$ になるため、終端抵抗と双方向バス105とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ120bのオン抵抗を双方向バス105の特性インピーダンス以下の値、例えば $40\Omega$ に設定し、pMOSトランジスタ120aのオン抵抗を $13.33\Omega$ に設定する。このようにすると、 $VOH1=1.05V$ 、 $VOL1=0.30V$ となる。また、基準電圧 $V_{ref1}$ は $0.675V$ となり、基準電圧 $V_{ref2}$ の値に一致する。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は $0.375V$ となるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス $Z0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を伝送できる。

また、図10や図44に示すような回路構成によって、1種類の基準電圧 $V_{refA}$ ( $=0.675V$ )を備えた図39に示した信号伝送システムを実現できる。

図45は本発明の信号伝送システムの第4の実施の形態の構成を示すブロック図である。

図45に示すように、第4の実施の形態の信号伝送システムは、 $1.5V$ 系の半導体集積回路装置(LSI)130と $1.5V$ 系の半導体集積回路装置(LSI)131とが伝送線路である双方向バス133で直接接続され、さらに、 $1.$

5V系の半導体集積回路装置(LSI)131と1.2V系の半導体集積回路装置(LSI)132とが伝送線路である双方向バス134で直接接続された構成である。1.5V系のLSI130と1.5V系のLSI131とは、例えばDIMM125に搭載される。

LSI130、LSI131、及びLSI132は、それぞれ不図示のドライバ、レシーバ、終端抵抗、及び終端抵抗をオンオフするためのスイッチを備えている。

本実施形態の信号伝送システムでは、各LSIに供給する基準電圧 $V_{refA}$ と $V_{refB}$ の値は同一が望ましい。また、それらの値を0.6V1等に設定することで基準電圧 $V_{refA}$ の生成を容易にする。このようにすることで、システム全体の電源電圧 $V_{DDQ}$ が2種類、基準電圧 $V_{refA}$ が1種類になるため、システムコストを低減できる。本実施形態では、DIMM125へ供給する電源電圧 $V_{DDQ}$ も1種類となり、DIMM基板の層数を低減できるため、コストを低減できる。なお、各LSIは共通のPCB上に搭載されていてもよい。

図46は、本発明の信号伝送システムの第22実施例の構成を示す回路図である。なお、図46はSingle-ended信号を送受信する、第4の実施の形態の信号伝送システムの具体例であり、図45に示した信号伝送システムの基準電圧を $V_{refA}=V_{refB}=0.9V$ に設定する例を示している。また、図46は1.5V系のLSI130と1.5V系のLSI131間で信号伝送を行う回路例である。図46(a)は1.5V系のLSI130から1.5V系のLSI131へ信号を送信する場合の等価回路を示し、図46(b)は1.5V系のLSI131から1.5V系のLSI130へ信号を送信する場合の等価回路を示している。

また、図46では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器136a、136b、138a、138b、の値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス133の特性イ

インピーダンス $Z_0$ は $40\ \Omega$ である。信号を受信する Receiver は CTT 終端されている。なお、Driver は、Push-pull 構成に代えて Open drain で構成してもよい。

第 2 2 実施例の信号伝送システムでは、 $1.5\text{ V}$ 系の LSI 130 から信号を送信する場合、信号受信側の CTT 終端を形成する抵抗器 136 a 及び 136 b の値を  $2Z_0 = 80\ \Omega$  に設定する。終端抵抗の値は、抵抗器 136 a と 136 b の並列値に等しく、 $40\ \Omega$  になるため、終端抵抗と双方向バス 133 とがインピーダンス整合する。

また、ドライバを構成する pMOS トランジスタ 135 a のオン抵抗の値を、例えば  $4.44\ \Omega$  に設定し、nMOS トランジスタ 135 b のオン抵抗の値を  $40\ \Omega$  に設定する。このようにすると、 $V_{OH2} = 1.425\text{ V}$ 、 $V_{OL2} = 0.375\text{ V}$  となり、基準電圧  $V_{ref2}$  は  $0.90\text{ V}$  となる。この場合、基準電圧  $V_{ref2}$  に対する信号振幅値  $\Delta$  は  $0.525\text{ V}$  となるため、信号振幅値を十分に確保できる。

一方、 $1.5\text{ V}$ 系の LSI 131 から信号を送信する場合、信号受信側の CTT 終端を形成する抵抗器 138 a 及び 138 b の値を  $2Z_0 = 80\ \Omega$  に設定する。終端抵抗の値は、抵抗器 138 a と 138 b の並列値に等しく、 $40\ \Omega$  になるため、終端抵抗と双方向バス 133 とがインピーダンス整合する。

また、ドライバを構成する pMOS トランジスタ 137 a のオン抵抗の値を、例えば  $4.44\ \Omega$  に設定し、nMOS トランジスタ 137 b のオン抵抗の値を  $40\ \Omega$  に設定する。このようにすると、 $V_{OH1} = 1.425\text{ V}$ 、 $V_{OL1} = 0.375\text{ V}$  となる。また、基準電圧  $V_{ref1}$  は  $0.90\text{ V}$  となり、基準電圧  $V_{ref2}$  の値に一致する。この場合、基準電圧  $V_{ref1}$  に対する信号振幅値  $\Delta$  は  $0.525\text{ V}$  となるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス  $Z_0$  に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好な Signal integrity で信号を伝送できる。

なお、 $1.5\text{ V}$ 系の LSI 131 と  $1.2\text{ V}$ 系の LSI 132 間の信号伝送は、例えば、図 40 に示した第 1 7 実施例を用いればよい。

したがって、図 46 や図 40 に示すような回路構成によって、1 種類の基準電

圧 $V_{refA}$  ( $=V_{refB}=0.9V$ ) を備えた図45に示した信号伝送システムを実現できる。

図47は、本発明の信号伝送システムの第23実施例の構成を示す回路図である。なお、図47はSingle-ended 信号を送受信する、第4の実施の形態の信号伝送システムの具体例であり、図45に示した信号伝送システムの基準電圧を $V_{refA}=V_{refB}=0.75V$ に設定する例を示している。また、図47は1.5V系のLSI131と1.2V系のLSI132間で信号伝送を行う回路例である。図47(a)は1.5V系のLSI131から1.2V系のLSI132へ信号を送信する場合の等価回路を示し、図47(b)は1.2V系のLSI132から1.5V系のLSI131へ信号を送信する場合の等価回路を示している。

また、図47では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器140a、140b、142a、142bの値に含めて記載している。

また、信号を送信するDriverはPush-pull 接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス134の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはCTT終端されている。

第23実施例の信号伝送システムでは、1.5V系のLSI131から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器140a及び140bの値を $2Z_0=80\Omega$ に設定する。終端抵抗の値は、抵抗器140aと140bの並列値に等しく、 $40\Omega$ になるため、終端抵抗と双方向バス134とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ139aのオン抵抗の値を、例えば $20\Omega$ に設定し、nMOSトランジスタ139bのオン抵抗の値を $40\Omega$ に設定する。このようにすると、 $V_{OH2}=1.20V$ 、 $V_{OL2}=0.30V$ となり、基準電圧 $V_{ref2}$ は $0.75V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ が $0.45V$ となるため、信号振幅値を十分に確保でき

る。

一方、1.2V系のLSI132から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器142a及び142bの値を $2Z_0=80\Omega$ に設定する。終端抵抗の値は、抵抗器142aと142bの並列値に等しく、 $40\Omega$ になるため、終端抵抗と双方向バス134とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ141aのオン抵抗の値を、例えば $8\Omega$ に設定し、nMOSトランジスタ141bのオン抵抗の値を $40\Omega$ に設定する。このようにすると、 $V_{OH1}=1.125V$ 、 $V_{OL1}=0.375V$ となる。また、基準電圧 $V_{ref1}$ は $0.75V$ となり、基準電圧 $V_{ref2}$ の値に一致する。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は $0.375V$ となるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を送送できる。

なお、1.5V系のLSI130と1.5V系のLSI131間の信号伝送は、例えば、図43に示した第20実施例を用いればよい。但し、電源電圧 $V_{DDQ}$ は、それぞれ $1.5V$ である。

したがって、図43に示した実施例に電源電圧 $V_{DDQ}$ として $1.5V$ を供給する回路構成と図47に示す回路構成とによって、1種類の基準電圧 $V_{refA}$  ( $=V_{refB}=0.75V$ )を備えた図45に示した信号伝送システムを実現できる。

図48は、本発明の信号伝送システムの第24実施例の構成を示す回路図である。なお、図48はSingle-ended信号を送受信する、第4の実施の形態の信号伝送システムの具体例であり、図45に示した信号伝送システムの基準電圧を $V_{refA}=V_{refB}=0.675V$ に設定する例を示している。また、図48は1.5V系のLSI130と1.5V系のLSI131間で信号伝送を行う回路例である。図48(a)は1.5V系のLSI130から1.5V系のLSI131へ信号を送信する場合の等価回路を示し、図48(b)は1.5V系のLSI131から1.5V系のLSI130へ信号を送信する場合の等価回路を示し

ている。

また、図48では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器136a、136b、139a、139bの値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス133の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはCTT終端されている。

第24実施例の信号伝送システムでは、1.5V系のLSI130から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器136a及び136bの値を $2Z_0 = 80\Omega$ に設定する。終端抵抗の値は、抵抗器136aと136bの並列値に等しく、 $40\Omega$ になるため、終端抵抗と双方向バス133とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ135aのオン抵抗の値を、例えば $40\Omega$ に設定し、nMOSトランジスタ135bのオン抵抗の値を $17.14\Omega$ に設定する。このようにすると、 $V_{OH2} = 1.125V$ 、 $V_{OL2} = 0.225V$ となり、基準電圧 $V_{ref2}$ が $0.675V$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.45V$ となるため、信号振幅値を十分に確保できる。

一方、1.5V系のLSI131から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器138a及び138bの値を $2Z_0 = 80\Omega$ に設定する。終端抵抗の値は、抵抗器136aと136bの並列値に等しく、 $40\Omega$ になるため、終端抵抗と双方向バス133とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ137aのオン抵抗の値を、例えば $40\Omega$ に設定し、nMOSトランジスタ137bのオン抵抗の値を $17.14\Omega$ に設定する。このようにすると、 $V_{OH1} = 1.125V$ 、 $V_{OL1} = 0.225V$ となる。また、基準電圧 $V_{ref1}$ が $0.675V$ となり、基準電圧 $V_{ref2}$ の値に一致する。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$

は0.45Vとなるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を送送できる。

なお、1.5V系のLSI131と1.2V系のLSI132間の信号伝送は、例えば、第1実施例（図10）、第2実施例（図13）、または第3実施例（図15）を用いればよい。

したがって、第24実施例（図48）と、第1実施例（図10）、第2実施例（図13）、または第3実施例（図15）とに示した回路構成によって、1種類の基準電圧 $V_{refA}$ （ $=V_{refB}=0.675V$ ）を備えた図45に示した信号伝送システムを実現できる。

図49A、Bは、本発明の信号伝送システムの第25実施例の構成を示す回路図である。なお、図49A、BはDifferential信号を送受信する、第4の実施の形態の信号伝送システムの具体例であり、基準電圧 $V_{refB}$ が不要で、かつ1.5V系のLSI131と1.2V系のLSI132間で信号伝送を行う回路例である。図49Aは1.5V系のLSI131から1.2V系のLSI132へ信号を送信する場合の等価回路を示し、図49Bは1.2V系のLSI132から1.5V系のLSI131へ信号を送信する場合の等価回路を示している。

また、図49A、Bでは、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器163、174の値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス162、163の特性インピーダンス、ここではODD mode時のインピーダンス $Z_{odd}$ は40Ωである。信号を受信するReceiverは、True信号とBar信号間を $2Z_{odd}$ の値の抵抗器で接続したBridge終端回路を備えている。この抵抗器は信号を送信時に不図示のスイッチをOFFさせることで双方向バス162、163から切り離され、ドライバからみて抵抗値が無限大になる。



第25実施例の信号伝送システムでは、1.5V系のLSI131から信号を送信する場合、信号受信側のBridge 終端を形成する抵抗器164の値を $2Z_{odd} = 80\Omega$ に設定する。したがって、終端抵抗と双方向バス162、163とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ160a、161aのオン抵抗、及びnMOSトランジスタ160b、161bのオン抵抗の値を、それぞれ $40\Omega$ に設定する。このようにすると、 $V_{OH2} = 1.125V$ 、 $V_{OL2} = 0.375V$ となり、差動の入力回路 (Receiver) で信号を受信できる。したがって、基準電圧 $V_{refB}$ が不要になる。

一方、1.2V系のLSI132から信号を送信する場合、信号受信側のBridge 終端を形成する抵抗器174の値を $2Z_{odd} = 80\Omega$ に設定する。したがって、終端抵抗と双方向バス162、163とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ170a、171aのオン抵抗、及びnMOSトランジスタ170b、171bのオン抵抗の値を、それぞれ $40\Omega$ に設定する。このようにすると、 $V_{OH1} = 0.9V$ 、 $V_{OL2} = 0.30V$ となり、差動の入力回路 (Receiver) で信号を受信できる。したがって、基準電圧 $V_{refB}$ が不要になる。

このように、Bridge 終端回路及びPush-pull ドライバを備え、Differential 信号を送受信する信号伝送システムにおいて、伝送線路の特性インピーダンス $Z_{odd}$ に対して、各終端抵抗の値、及び各ドライバのオン抵抗の値を上記のように設定することで、良好なSignal integrityで、かつ基準電圧 $V_{refB}$ を用いることなく信号を伝送できる。

Differential 信号は、Single-ended 信号に比べて信号本数が2倍必要であるが、リターン電流の経路としてお互いの信号経路が用いるのでコネクタやパッケージの電源ピン数を削減でき、コモンモードノイズにも強く、高速な信号伝送方式として優れている。

なお、1.5V系のLSI130と1.5V系のLSI131間の信号伝送は、例えば、図43に示した第20実施例の構成にすればよい。但し、電源電圧 $V_{DDQ}$ は、それぞれ1.5Vである。

したがって、図43に示した第20実施例に電源電圧 $V_{DDQ}$ として1.5Vを供給する回路構成と図49A、Bに示す回路構成によって、1種類の基準電圧 $V_{refA}$  ( $=0.75V$ )を備えた図45に示した信号伝送システムを実現できる。

図49A、Bに示す回路は、単に異なる電源電圧 $V_{DDQ}$ で動作する2つのLSI間で双方向に信号を伝送する回路として用いても有効である。

図50は本発明の信号伝送システムの第26実施例の構成を示す回路図である。図50は1.5V系のLSI140と1.2V系のLSI141間でSingle-ended信号を伝送する回路例である。図50(a)は1.5V系のLSI140から1.2V系のLSI141へ信号を送信する場合の等価回路を示し、図50(b)は1.2V系のLSI141から1.5V系のLSI140へ信号を送信する場合の等価回路を示している。

また、図50では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器144a、144b、147a、147bの値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス142の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはCTT終端されている。

第26実施例の信号伝送システムでは、1.5V系のLSI140から信号を送信する場合、ドライバを構成するpMOSトランジスタ143aのオン抵抗及びnMOSトランジスタ143bのオン抵抗の値を $40\Omega$ に設定する。したがって、ドライバのオン抵抗と双方向バス142とがインピーダンス整合する。

また、信号受信側のCTT終端を形成する抵抗器144aの値を $64\Omega$ に設定し、抵抗器144bの値を $106.7\Omega$ に設定する。終端抵抗の値は、抵抗器144aと144bの並列値に等しく、 $40\Omega$ になるため、終端抵抗と双方向バス142とがインピーダンス整合する。このようにすると、 $V_{OH2}=1.125V$ 、 $V_{OL2}=0.375V$ となり、基準電圧 $V_{ref2}$ は $0.75V$ となる。

すなわち、基準電圧 $V_{ref2}$ は高 $VDDQ$ 値の $1/2$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.375V$ となるため、信号振幅値を十分に確保できる。

一方、 $1.2V$ 系の $LSI141$ から信号を送信する場合、ドライバを構成するpMOSトランジスタ $145a$ のオン抵抗及びnMOSトランジスタ $145b$ のオン抵抗の値を $40\Omega$ に設定する。したがって、ドライバのオン抵抗と双方向バス $142$ とがインピーダンス整合する。

また、信号受信側のCTT終端を形成する抵抗器 $147a$ の値を $100\Omega$ に設定し、抵抗器 $147b$ の値を $66.7\Omega$ に設定する。終端抵抗の値は、抵抗器 $147a$ と $147b$ の並列値に等しく、 $40\Omega$ になるため、終端抵抗と双方向バス $142$ とがインピーダンス整合する。このようにすると、 $VOH1=0.90V$ 、 $VOL1=0.30V$ となり、基準電圧 $V_{ref1}$ は $0.60V$ となる。すなわち、基準電圧 $V_{ref1}$ は低 $VDDQ$ 値の $1/2$ となる。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は $0.30V$ となるため、信号振幅値を十分に確保できる。

また、他の例と同様に、双方向バス $142$ 上を流れる信号のリターン電流の経路を、 $1.5V$ 系の $LSI140$ と $1.2V$ 系の $LSI141$ とに共通なグランドプレーンとする。この場合、プリント基板の設計が容易になる。なお、電源電圧 $VDDQ$ をリターン電流の経路とする場合、 $1.5V$ 電源と $1.2V$ 電源とをそれぞれリターン電流の経路として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス $142$ を流れる信号のリターン電流の経路はグランドプレーンであることが好ましい。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を送送できる。また、電源電圧 $VDDQ$ は2種類、基準電圧 $V_{ref}$ は2種類で済む。本実施例では、基準電圧 $V_{ref}$ が2種類となるが、それぞれのドライバの電源電圧 $VDDQ$ の値の $1/2$ に設定すればよいので、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレイン－ソース間に等価な電位が印加

される。したがって、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

なお、本実施例は、CTT終端され、オン抵抗が伝送線路の特性インピーダンス $Z_0$ に等しいPush-pull構成のドライバを有する点で第2実施例（図13）、第5実施例（図22）、及び第6実施例（図24）と同じ構成であるため、終端抵抗の値を可変できるようにしておけば、これらの実施例も実現できる。

第26実施例では、終端抵抗の値を伝送線路の特性インピーダンスに一致させる例を示したが、次に、終端抵抗の値が伝送線路の特性インピーダンスの1.5倍の値に一致させる例を示す。

図51は本発明の信号伝送システムの第27実施例の構成を示す回路図である。

図51は1.5V系のLSI140と1.2V系のLSI141間でSingle-ended信号を伝送する回路例である。図51(a)は1.5V系のLSI140から1.2V系のLSI141へ信号を送信する場合の等価回路を示し、図51(b)は1.2V系のLSI141から1.5V系のLSI140へ信号を送信する場合の等価回路を示している。

また、図51では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器144a、144b、147a、147bの値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス142の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはCTT終端されている。

第27実施例の信号伝送システムでは、1.5V系のLSI140から信号を送信する場合、ドライバを構成するpMOSトランジスタ143aのオン抵抗及びnMOSトランジスタ143bのオン抵抗の値を $40\Omega$ に設定する。したがって、ドライバのオン抵抗と双方向バス142とがインピーダンス整合する。

また、信号受信側のCTT終端を形成する抵抗器144aの値を $96\Omega$ に設定

し、抵抗器144bの値を160Ωに設定する。終端抵抗の値は抵抗器144aと144bの並列値に等しく、ここでは60Ωになる。したがって、終端抵抗の値は双方向バス142の特性インピーダンスの1.5倍に一致する。このようにすると、 $V_{OH2}=1.20V$ 、 $V_{OL2}=0.30V$ となり、基準電圧 $V_{ref2}$ は0.75Vとなる。すなわち、基準電圧 $V_{ref2}$ は高VDDQ値の1/2となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は0.45Vとなるため、信号振幅値を十分に確保できる。

一方、1.2V系のLSI141から信号を送信する場合、ドライバを構成するpMOSトランジスタ145aのオン抵抗及びnMOSトランジスタ145bのオン抵抗の値を40Ωに設定する。したがって、ドライバのオン抵抗と双方向バス142とがインピーダンス整合する。

また、信号受信側のCTT終端を形成する抵抗器147aの値を150Ωに設定し、抵抗器147bの値を100Ωに設定する。終端抵抗の値は抵抗器147aと147bの並列値に等しく、ここでは60Ωになる。したがって、終端抵抗の値は双方向バス142の特性インピーダンスの1.5倍に一致する。このようにすると、 $V_{OH1}=0.96V$ 、 $V_{OL1}=0.24V$ となり、基準電圧 $V_{ref1}$ は0.60Vとなる。すなわち、基準電圧 $V_{ref1}$ は低VDDQ値の1/2となる。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は0.36Vとなるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を送送できる。また、電源電圧VDDQは2種類、基準電圧 $V_{ref}$ は2種類で済む。本実施例では、基準電圧 $V_{ref}$ が2種類必要であるが、基準電圧の値は、それぞれのドライバに供給する電源電圧VDDQの値の1/2に設定するため、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に等価な電位が印加される。したがって、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

なお、本実施例は、CTT終端され、オン抵抗が伝送線路の特性インピーダン

スZ0に等しいPush-pull構成のドライバを有する点で、第2実施例(図13)、第5実施例(図22)、及び第6実施例(図24)と同じ構成であるため、終端抵抗の値を可変できるようにしておけば、これらの実施例も実現できる。

図52に図50に示した第26実施例及び図51に示した第27実施例の信号伝送システムを一般化した回路を示す。

図52(a)は電源電圧 $V_{DDQ}=V1$ 系のLSI140から電源電圧 $V_{DDQ}=V2$ 系のLSI141へ信号を送信する場合の等価回路を示し、図52(b)はV2系のLSI141からV1系のLSI140へ信号を送信する場合の等価回路を示している。なお、図52では、 $V1>V2$ である。また、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス142の特性インピーダンスZ0は40Ωである。信号を受信するReceiverはCTT終端されている。

まず、V1系のLSI140から信号を送信する場合、ドライバを構成するpMOSトランジスタ143aのオン抵抗及びnMOSトランジスタ143bのオン抵抗の値を双方向バス142の特性インピーダンスに等しくZ0に設定する。したがって、ドライバのオン抵抗と双方向バス142とがインピーダンス整合する。

また、信号受信側のCTT終端を形成する抵抗器144aの値を $R1\Omega$ に設定し、抵抗器144bの値を $R2\Omega$ に設定する。終端抵抗の値は抵抗器144aと144bの並列値 $R1//R2\Omega$ に等しく、この終端抵抗の値を双方向バス142の特性インピーダンスのm倍に一致させる。

ここで、

$$R1=2mZ0 \cdot V2/V1$$

$$R2=2mZ0 \cdot V2/(2V2-V1)$$

である。

このようにすると、

$$VOH2=(2m+1)V1/2(m+1)$$

$$VOL2=0.5V1/(m+1)$$

となり、

$$Vref2=0.5V1$$

となる。すなわち、基準電圧 $V_{ref2}$ は高 $VDDQ$ 値の $1/2$ となる。

一方、 $V2$ 系の $LSI141$ から信号を送信する場合、ドライバを構成する $pMOS$ トランジスタ $145a$ のオン抵抗及び $nMOS$ トランジスタ $145b$ のオン抵抗の値を双方向バス $142$ の特性インピーダンスに等しく $Z0$ に設定する。したがって、ドライバのオン抵抗と双方向バス $142$ とがインピーダンス整合する。

また、信号受信側の $CTT$ 終端を形成する抵抗器 $147a$ の値を $R3\Omega$ に設定し、抵抗器 $147b$ の値を $R4\Omega$ に設定する。終端抵抗の値は抵抗器 $147a$ と $147b$ の並列値 $R3//R4\Omega$ に等しく、この終端抵抗の値を双方向バス $142$ の特性インピーダンスの $s$ 倍に一致させる。

ここで、

$$R3=2sZ0V1/V2$$

$$R4=2sZ0V1/(2V1-V2)$$

である。

このようにすると、

$$VOH1=(2s+1)V2/2(s+1)$$

$$VOL1=0.5V2/(s+1)$$

となり、

$$Vref1=0.5V2$$

となる。すなわち、基準電圧 $V_{ref1}$ は低 $VDDQ$ 値の $1/2$ となる。

このように、伝送線路の特性インピーダンス $Z0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好な $Signal\ integrity$ で信号を送送できる。また、本実施例では電源電圧 $VDDQ$ が2種類、基準電圧 $V_{ref}$ が2種類で済む。本実施例では、基準電圧 $V_{ref}$ が2種類必要であるが、基準

電圧の値は、それぞれのドライバに供給する電源電圧 $V_{DDQ}$ の値の $1/2$ に設定するため、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に等価な電位が印加される。したがって、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

なお、本実施例は、CTT終端され、オン抵抗が伝送線路の特性インピーダンス $Z_0$ に等しいPush-pull構成のドライバを有する点で第2実施例（図13）、第5実施例（図22）、及び第6実施例（図24）と同じ構成であるため、終端抵抗の値を可変できるようにしておけば、これらの実施例も実現できる。

図53は本発明の信号伝送システムの第28実施例の構成を示す回路図である。

図53は1.5V系のLSI150と1.2V系のLSI151間でSingle-ended信号を伝送する回路例である。図53(a)は1.5V系のLSI150から1.2V系のLSI151へ信号を送信する場合の等価回路を示し、図53(b)は1.2V系のLSI151から1.5V系のLSI150へ信号を送信する場合の等価回路を示している。

また、図53では、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は抵抗器154a、154b、156a、156bの値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス152の特性インピーダンス $Z_0$ は $40\Omega$ である。信号を受信するReceiverはCTT終端されている。

第28実施例の信号伝送システムでは、1.5V系のLSI150から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器154a、154bの値を $2Z_0$ に等しい $80\Omega$ に設定する。終端抵抗の値は抵抗器154aと154bの並列値に等しく、ここでは $40\Omega$ になるため、終端抵抗と双方向バス152とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ153bのオン抵抗の値を双



方向バス152の特性インピーダンス $Z_0$ 以下の値、例えば $40\Omega$ に設定し、pMOSトランジスタ153aのオン抵抗の値を $20\Omega$ に設定する。このようにすると、 $V_{OH2}=1.20V$ 、 $V_{OL2}=0.30V$ となり、基準電圧 $V_{ref2}$ は $0.75V$ となる。すなわち、基準電圧 $V_{ref2}$ は高 $V_{DDQ}$ 値の $1/2$ となる。この場合、基準電圧 $V_{ref2}$ に対する信号振幅値 $\Delta$ は $0.45V$ となるため、信号振幅値を十分に確保できる。

一方、 $1.2V$ 系のLSI151から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器156a、156bの値を $2Z_0$ に等しい $80\Omega$ に設定する。終端抵抗の値は抵抗器156aと156bの並列値に等しく、ここでは $40\Omega$ になるため、終端抵抗と双方向バス152とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ155bのオン抵抗の値を双方向バス152の特性インピーダンス $Z_0$ 以下の値、例えば $40\Omega$ に設定し、nMOSトランジスタ155aのオン抵抗の値を $17.14\Omega$ に設定する。このようにすると、 $V_{OH1}=0.975V$ 、 $V_{OL1}=0.225V$ となり、基準電圧 $V_{ref1}$ は $0.65V$ となる。すなわち、基準電圧 $V_{ref1}$ は低 $V_{DDQ}$ 値の $1/2$ となる。この場合、基準電圧 $V_{ref1}$ に対する信号振幅値 $\Delta$ は $0.375V$ となるため、信号振幅値を十分に確保できる。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を伝送できる。また、電源電圧 $V_{DDQ}$ は2種類、基準電圧 $V_{ref}$ は2種類で済む。本実施例では、基準電圧 $V_{ref}$ が2種類必要であるが、基準電圧をそれぞれのドライバに供給する電源電圧 $V_{DDQ}$ の $1/2$ の値に設定するため、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に等価な電位が印加される。したがって、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

図54に図53に示した第28実施例の信号伝送システムを一般化した回路を示す。

図54(a)は電源電圧 $V_{DDQ}=V_1$ 系のLSI150から電源電圧 $V_{DD}$

Q=V2系のLSI151へ信号を送信する場合の等価回路を示し、図54(b)はV2系のLSI151からV1系のLSI150へ信号を送信する場合の等価回路を示している。なお、図54では、 $V1 > V2$ である。また、電位の値に寄与しない、レシーバ、OFF状態のスイッチ、信号受信側のハイインピーダンス状態に設定されたドライバを省略して記載し、ON状態にあるスイッチの抵抗値は終端抵抗を形成する各抵抗器の値に含めて記載している。

また、信号を送信するDriverはPush-pull接続されたpMOSトランジスタ及びnMOSトランジスタで構成され、伝送線路である双方向バス152の特性インピーダンス $Z0$ は $40\Omega$ である。信号を受信するReceiverはCTT終端されている。

まず、V1系のLSI150から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器154a、154bの値を $2Z0$ に設定する。終端抵抗の値は抵抗器154aと154bの並列値に等しく、ここでは $Z0$ に一致するため、終端抵抗と双方向バス152とがインピーダンス整合する。

また、ドライバを構成するnMOSトランジスタ153bのオン抵抗の値を双方向バス152の特性インピーダンス $Z0$ 以下の値、例えば $Z0$ に設定し、pMOSトランジスタ153aのオン抵抗の値を $R_{on1}\Omega$ に設定する。

ここで、

$$R_{on1} = 0.25V2 \cdot Z0 / (V1 - 0.75V2)$$

である。

このようにすると、

$$V_{OH2} = (0.5V2 \cdot R_{on1} + V1 \cdot Z0) / (R_{on1} + Z0)$$

$$V_{OL2} = 0.25V2$$

となり、

$$V_{ref2} = 0.5V1$$

となる。すなわち、基準電圧 $V_{ref2}$ は高 $V_{DDQ}$ 値の $1/2$ となる。

一方、V2系のLSI151から信号を送信する場合、信号受信側のCTT終端を形成する抵抗器156a、156bの値を $2Z0$ に設定する。終端抵抗の値は抵抗器156aと156bの並列値に等しく、ここでは $Z0$ に一致するため、

終端抵抗と双方向バス152とがインピーダンス整合する。

また、ドライバを構成するpMOSトランジスタ155bのオン抵抗の値を双方向バス152の特性インピーダンス $Z_0$ 以下の値、例えば $Z_0$ に設定し、nMOSトランジスタ155aのオン抵抗の値を $R_{on4}$ に設定する。

ここで、

$$R_{on4} = Z_0(2V_2 - V_1) / (3V_1 - 2V_2)$$

である。

このようにすると、

$$V_{OH1} = 0.25V_1 + 0.5V_2$$

$$V_{OL1} = 0.5V_1 \cdot R_{on4} / (R_{on4} + Z_0)$$

となり、

$$V_{ref1} = 0.5V_2$$

となる。すなわち、基準電圧 $V_{ref1}$ は低 $V_{DDQ}$ 値の $1/2$ となる。

なお、他の実施例と同様に、双方向バス152上を流れる信号のリターン電流の経路を、 $V_1$ 系のLSI150と $V_2$ 系のLSI151とに共通なグラウンドプレーンとする。その場合、プリント基板の設計が容易になる。なお、電源電圧 $V_{DDQ}$ をリターン電流の経路とする場合、 $V_1$ 電源と $V_2$ 電源とをそれぞれリターン電流の経路として用いる必要があるため、配線の引き回しが困難になる問題やプリント基板の層数が増加する問題が発生する。したがって、双方向バス152を流れる信号のリターン電流の経路はグラウンドプレーンであることが好ましい。

このように、伝送線路の特性インピーダンス $Z_0$ に対して、各終端抵抗の値、各ドライバのオン抵抗の値を設定することで、良好なSignal integrityで信号を送ることができる。また、電源電圧 $V_{DDQ}$ は2種類、基準電圧 $V_{ref}$ は2種類で済む。本実施例では、基準電圧 $V_{ref}$ が2種類必要となるが、基準電圧をそれぞれのドライバに供給する電源電圧 $V_{DDQ}$ の $1/2$ の値に設定するため、各ドライバのpMOSトランジスタ及びnMOSトランジスタのドレインソース間に等価な電位が印加される。したがって、pMOSトランジスタ及びnMOSトランジスタが効率的に動作する。さらに、入出力容量も低減できるため、高速動作が要求される回路に用いることができる。

While preferred embodiments of the present invention have been described using specific terms, such description is for illustrative purposes only, and it is to be understood that changes and variations may be made without departing from the spirit or scope of the following claims.

What is claimed is:

1. 第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で Single-ended 信号を双方向に送受信するための信号伝送システムであって、

前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間の双方向の信号伝送を可能にする所定の特性インピーダンスを備えた伝送線路と、

前記第1の電源電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第1の半導体集積回路装置の信号受信端に設けられた第1のCTT終端回路と、

前記第2の電源電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第2の半導体集積回路装置の信号受信端に設けられた第2のCTT終端回路と、

前記 Single-ended 信号の電圧を判定するためのしきい値である基準電圧を生成し、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給する基準電圧発生回路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第1の半導体集積回路装置から前記Single-ended信号を送信するPush-pull構成の第1のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第2の半導体集積回路装置から前記Single-ended信号を送信するPush-pull構成の第2のドライバと、

を有する信号伝送システム。

2. 前記第1の電源電圧を $V_1$ 、前記第2の電源電圧を $V_2$ としたとき、

前記基準電圧は $0.25(V_1 + V_2)$ である請求項1記載の信号伝送システム。

3. 前記第1の電源電圧を $V_1$ としたとき、

前記基準電圧は $0.5V_1$ である請求項1記載の信号伝送システム。

4. 前記第1の電源電圧を $V_1$ としたとき、  
前記基準電圧は $0.6V_1$ である請求項1記載の信号伝送システム。
5. 前記第2の電源電圧を $V_2$ としたとき、  
前記基準電圧は $0.5V_2$ である請求項1記載の信号伝送システム。
6. 前記伝送線路を流れる前記 Single-ended 信号のリターン電流が流れる経路は、  
グラウンドプレーンである請求項1記載の信号伝送システム。
7. 第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で  
Single-ended 信号を双方向に送受信するための信号伝送システムであって、  
前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間の双方向の  
信号伝送を可能にする所定の特性インピーダンスを備えた伝送線路と、  
オン抵抗が前記特性インピーダンスに一致する、前記第1の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第1のドライバと、  
オン抵抗が前記特性インピーダンスに一致する、前記第2の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第2のドライバと、  
前記 Single-ended 信号の電圧を判定するためのしきい値である基準電圧を生成し、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給する基準電圧発生回路と、  
前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるように抵抗値が設定された、前記第1の電源電圧が供給される、前記第1の半導体集積回路装置の信号受信端に設けられた第1の CTT 終端回路と、  
前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるように抵抗値が設定された、前記第2の電源電圧が供給される、前記第2の半導体集積回路装置の信号受信端に設けられた第2の CTT 終端回路と、  
を有する信号伝送システム。
8. 前記第1の電源電圧を $V_1$ 、前記第2の電源電圧を $V_2$ としたとき、  
前記基準電圧は $0.25(V_1 + V_2)$ である請求項7記載の信号伝送システム。

ム。

9. 前記伝送線路を流れる前記 Single-ended 信号のリターン電流が流れる経路は、グラウンドプレーンである請求項7記載の信号伝送システム。

10. 第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で Single-ended 信号を双方向に送受信するための信号伝送システムであって、

前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間の双方向の信号伝送を可能にする所定の特性インピーダンスを備えた伝送線路と、

オン抵抗が前記特性インピーダンスに一致する、前記第1の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第1のドライバと、

オン抵抗が前記特性インピーダンスに一致する、前記第2の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第2のドライバと、

抵抗値が前記特性インピーダンスに一致する、前記第1の電源電圧が供給される、前記第1の半導体集積回路装置の信号受信端に設けられた第1のCTT終端回路と、

抵抗値が前記特性インピーダンスに一致する、前記第2の電源電圧が供給される、前記第2の半導体集積回路装置の信号受信端に設けられた第2のCTT終端回路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置に、前記 Single-ended 信号の電圧を判定するためのしきい値である共通の基準電圧をそれぞれ供給する基準電圧発生回路と、  
を有する信号伝送システム。

11. 前記第1の電源電圧を $V_1$ 、前記第2の電源電圧を $V_2$ としたとき、

前記基準電圧は $0.25(V_1 + V_2)$ である請求項10記載の信号伝送システム。

12. 前記伝送線路を流れる前記 Single-ended 信号のリターン電流が流れる経路は、グラウンドプレーンである請求項10記載の信号伝送システム。

13. 第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で

Single-ended 信号を双方向に送受信するための信号伝送システムであって、

前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間の双方向の信号伝送を可能にする所定の特性インピーダンスを備えた伝送線路と、

前記第 2 の電源電圧の  $1/2$  の電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第 1 の半導体集積回路装置の信号受信端に設けられた第 1 の VTT 終端回路と、

前記第 2 の電源電圧の  $1/2$  の電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第 2 の半導体集積回路装置の信号受信端に設けられた第 2 の VTT 終端回路と、

前記 Single-ended 信号の電圧を判定するためのしきい値である基準電圧を生成し、前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置にそれぞれ供給する基準電圧発生回路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第 1 の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第 1 のドライバと、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第 2 の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第 2 のドライバと、

を有する信号伝送システム。

14. 前記第 2 の電源電圧を  $V_2$  としたとき、

前記基準電圧は  $0.5V_2$  である請求項 13 記載の信号伝送システム。

15. 前記伝送線路を流れる前記 Single-ended 信号のリターン電流が流れる経路は、グランドプレーンである請求項 13 記載の信号伝送システム。

16. 第 1 の電源電圧で動作する第 1 の半導体集積回路装置と前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する第 2 の半導体集積回路装置間で Single-ended 信号を双方向に送受信するための信号伝送システムであって、

前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間の双方向の



信号伝送を可能にする所定の特性インピーダンスを備えた伝送線路と、

オン抵抗が前記特性インピーダンスに一致する、前記第 1 の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第 1 のドライバと、

オン抵抗が前記特性インピーダンスに一致する、前記第 2 の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第 2 のドライバと、

前記 Single-ended 信号の電圧を判定するためのしきい値である基準電圧を生成し、前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置にそれぞれ供給する基準電圧発生回路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるように抵抗値が設定された、前記第 1 の電源電圧の  $1/2$  の電圧が供給される、前記第 1 の半導体集積回路装置の信号受信端に設けられた第 1 の VTT 終端回路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるように抵抗値が設定された、前記第 2 の電源電圧の  $1/2$  の電圧が供給される、前記第 2 の半導体集積回路装置の信号受信端に設けられた第 2 の VTT 終端回路と、

を有する信号伝送システム。

17. 前記伝送線路を流れる前記 Single-ended 信号のリターン電流が流れる経路は、グランドプレーンである請求項 16 記載の信号伝送システム。

18. 第 1 の電源電圧で動作する第 1 の半導体集積回路装置と前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する第 2 の半導体集積回路装置間で Single-ended 信号を双方向に送受信するための信号伝送システムであって、

前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間の双方向の信号伝送を可能にする所定の特性インピーダンスを備えた伝送線路と、

前記第 1 の電源電圧の  $1/2$  の電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第 1 の半導体集積回路装置の信号受信端に設けられた第 1 の VTT 終端回路と、

前記第 2 の電源電圧の  $1/2$  の電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第 2 の半導体集積回路装置の信号受信端に設けられた第

2のVTT終端回路と、

前記 Single-ended 信号の電圧を判定するためのしきい値である基準電圧を生成し、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給する基準電圧発生回路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第1の半導体集積回路装置から前記Single-ended信号を送信するPush-pull構成の第1のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第2の半導体集積回路装置から前記Single-ended信号を送信するPush-pull構成の第2のドライバと、

を有する信号伝送システム。

19. 前記伝送線路を流れる前記Single-ended信号のリターン電流が流れる経路は、グランドプレーンである請求項18記載の信号伝送システム。

20. 第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間でSingle-ended信号を双方向に送受信するための信号伝送システムであって、

前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間の双方向の信号伝送を可能にする所定の特性インピーダンスを備えた伝送線路と、

前記第2の電源電圧の $1/2$ の電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第1の半導体集積回路装置の信号受信端に設けられた第1のVTT終端回路と、

前記第1の電源電圧の $1/2$ の電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第2の半導体集積回路装置の信号受信端に設けられた第2のVTT終端回路と、

前記 Single-ended 信号の電圧を判定するためのしきい値である基準電圧を生成し、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給する基準電圧発生回路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第 1 の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第 1 のドライバと、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第 2 の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第 2 のドライバと、

を有する信号伝送システム。

21. 前記伝送線路を流れる前記 Single-ended 信号のリターン電流が流れる経路は、グランドプレーンである請求項 20 記載の信号伝送システム。

22. 第 1 の電源電圧で動作する第 1 の半導体集積回路装置と前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する第 2 の半導体集積回路装置間で Single-ended 信号を双方向に送受信するための信号伝送システムであって、

前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間の双方向の信号伝送を可能にする所定の特性インピーダンスを備えた伝送線路と、

前記第 1 の電源電圧の  $1/2$  の電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第 1 の半導体集積回路装置の信号受信端に設けられた第 1 の VTT 終端回路と、

前記第 1 の電源電圧の  $1/2$  の電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第 2 の半導体集積回路装置の信号受信端に設けられた第 2 の VTT 終端回路と、

前記 Single-ended 信号の電圧を判定するためのしきい値である基準電圧を生成し、前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置にそれぞれ供給する基準電圧発生回路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第 1 の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第 1 のドライバと、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第 2 の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第 2 のドライバと、  
を有する信号伝送システム。

2 3. 前記第 1 の電源電圧を  $V_1$  としたとき、

前記基準電圧は  $0.5V_1$  である請求項 2 2 記載の信号伝送システム。

2 4. 前記第 2 の電源電圧を  $V_2$  としたとき、

前記基準電圧は  $0.5V_2$  である請求項 2 2 記載の信号伝送システム。

2 5. 前記伝送線路を流れる前記 Single-ended 信号のリターン電流が流れる経路は、グランドプレーンである請求項 2 2 記載の信号伝送システム。

2 6. 第 1 の電源電圧で動作する第 1 の半導体集積回路装置と前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する第 2 の半導体集積回路装置間で Single-ended 信号を双方向に送受信するための信号伝送システムであって、

前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間の双方向の信号伝送を可能にする所定の特性インピーダンスを備えた伝送線路と、

前記第 1 の電源電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第 1 の半導体集積回路装置の信号受信端に設けられた第 1 の VTT 終端回路と、

前記第 2 の電源電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第 2 の半導体集積回路装置の信号受信端に設けられた第 2 の VTT 終端回路と、

前記 Single-ended 信号の電圧を判定するためのしきい値である基準電圧を生成し、前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置にそれぞれ供給する基準電圧発生回路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第 1 の半導体集積回路装置から前記 Single-ended 信号を送信する Open drain 構成の第 1 のドライバと、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第 2 の半導体集積回路装置から前記 Single-ended 信号を送信する Open drain 構成の第 2 のドライバと、  
を有する信号伝送システム。

27. 前記基準電圧は、

前記第 1 の電源電圧または前記第 2 の電源電圧のいずれか一方の分数値に等しい請求項 26 記載の信号伝送システム。

28. 前記伝送線路を流れる前記 Single-ended 信号のリターン電流が流れる経路は、グランドプレーンである請求項 26 記載の信号伝送システム。

29. 第 1 の電源電圧で動作する第 1 の半導体集積回路装置と前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する第 2 の半導体集積回路装置間で Single-ended 信号を双方向に送受信するための信号伝送システムであって、

前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間の双方向の信号伝送を可能にする所定の特性インピーダンスを備えた伝送線路と、

オン抵抗が前記特性インピーダンスに一致する、前記第 1 の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第 1 のドライバと、

オン抵抗が前記特性インピーダンスに一致する、前記第 2 の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第 2 のドライバと、

前記 Single-ended 信号の電圧を判定するためのしきい値である基準電圧を生成し、前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置にそれぞれ供給する基準電圧発生回路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるように抵抗値が設定された、前記第 1 の電源電圧が供給される、前記第 1 の半導体集積回路装置の信号受信端に設けられた第 1 の VTT 終端回路と、

前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるように抵抗値が設定された、前記第 2 の電源電圧が供給される、前記第 2 の半導体集積回路装置の信号受信端に設けられた第 2

のVTT終端回路と、

を有する信号伝送システム。

30. 前記第1の電源電圧を $V_1$ 、前記第2の電源電圧を $V_2$ としたとき、

前記基準電圧は $(V_1 + V_2) / 3$ である請求項29記載の信号伝送システム。

31. 前記伝送線路を流れる前記Single-ended信号のリターン電流が流れる経路は、グランドプレーンである請求項29記載の信号伝送システム。

32. 第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間でSingle-ended信号を双方向に送受信するための信号伝送システムであって、

前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間の双方向の信号伝送を可能にする所定の特性インピーダンスを備えた伝送線路と、

前記第1の電源電圧が供給される、抵抗値が前記特性インピーダンスと一致する、前記第1の半導体集積回路装置の信号受信端に設けられた第1のVTT終端回路と、

前記第2の電源電圧が供給される、抵抗値が前記特性インピーダンスと一致する、前記第2の半導体集積回路装置の信号受信端に設けられた第2のVTT終端回路と、

前記Single-ended信号の電圧を判定するためのしきい値である基準電圧を生成し、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給する基準電圧発生回路と、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第1の半導体集積回路装置から前記Single-ended信号を送信するPush-pull構成の第1のドライバと、

前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置で用いる前記基準電圧がそれぞれ等しくなるようにオン抵抗の値が設定された、前記第2の半導体集積回路装置から前記Single-ended信号を送信するPush-pull構成の第2のドライバと、

を有する信号伝送システム。

33. 前記第1の電源電圧を $V_1$ 、前記第2の電源電圧を $V_2$ としたとき、  
前記基準電圧は $(V_1 + V_2) / 3$ である請求項32記載の信号伝送システム。
34. 前記伝送線路を流れる前記 Single-ended 信号のリターン電流が流れる経路は、グランドプレーンである請求項32記載の信号伝送システム。
35. 第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で Single-ended 信号を双方向に送受信するための信号伝送システムであって、  
前記第1の半導体集積回路装置と前記第2の半導体集積回路装置間の双方向の信号伝送を可能にする所定の特性インピーダンスを備えた伝送線路と、  
前記第1の電源電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第1の半導体集積回路装置の信号受信端に設けられた第1のCTT終端回路と、  
前記第2の電源電圧が供給される、抵抗値が前記特性インピーダンスに一致する、前記第2の半導体集積回路装置の信号受信端に設けられた第2のCTT終端回路と、  
前記 Single-ended 信号の電圧を判定するためのしきい値である基準電圧を生成し、前記第1の半導体集積回路装置及び前記第2の半導体集積回路装置にそれぞれ供給する基準電圧発生回路と、  
前記第1の半導体集積回路装置で用いる前記基準電圧が前記第1の電源電圧の $1/2$ に一致するようにオン抵抗の値が設定された、前記第1の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第1のドライバと、  
前記第2の半導体集積回路装置で用いる前記基準電圧が前記第2の電源電圧の $1/2$ に一致するようにオン抵抗の値が設定された、前記第2の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第2のドライバと、  
を有する信号伝送システム。
36. 前記伝送線路を流れる前記 Single-ended 信号のリターン電流が流れる経路は、グランドプレーンである請求項35記載の信号伝送システム。
37. 第1の電源電圧で動作する第1の半導体集積回路装置と前記第1の電源電圧よりも低い第2の電源電圧で動作する第2の半導体集積回路装置間で

Single-ended 信号を双方向に送受信するための信号伝送システムであって、

前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間の双方向の信号伝送を可能にする所定の特性インピーダンスを備えた伝送線路と、

オン抵抗が前記特性インピーダンスに一致する、前記第 1 の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第 1 のドライバと、

オン抵抗が前記特性インピーダンスに一致する、前記第 2 の半導体集積回路装置から前記 Single-ended 信号を送信する Push-pull 構成の第 2 のドライバと、

前記 Single-ended 信号の電圧を判定するためのしきい値である基準電圧を生成し、前記第 1 の半導体集積回路装置及び前記第 2 の半導体集積回路装置にそれぞれ供給する基準電圧発生回路と、

前記第 1 の半導体集積回路装置で用いる前記基準電圧が前記第 1 の電源電圧の  $1/2$  に一致するように抵抗値が設定された、前記第 1 の電源電圧が供給される、前記第 1 の半導体集積回路装置の信号受信端に設けられた第 1 の CTT 終端回路と、

前記第 2 の半導体集積回路装置で用いる前記基準電圧が前記第 2 の電源電圧の  $1/2$  に一致するように抵抗値が設定された、前記第 2 の電源電圧が供給される、前記第 2 の半導体集積回路装置の信号受信端に設けられた第 2 の CTT 終端回路と、

を有する信号伝送システム。

38. 前記伝送線路を流れる前記 Single-ended 信号のリターン電流が流れる経路は、グラウンドプレーンである請求項 37 記載の信号伝送システム。

39. 第 1 の電源電圧で動作する第 1 の半導体集積回路装置と前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する第 2 の半導体集積回路装置間で Differential 信号を双方向に送受信するための信号伝送システムであって、

前記第 1 の半導体集積回路装置と前記第 2 の半導体集積回路装置間の双方向の信号伝送を可能にする、所定の ODD mode 特性インピーダンスを備えた 2 つの伝送線路と、

オン抵抗が前記特性インピーダンスに一致する、前記第 1 の半導体集積回路装置から前記 Differential 信号を送信する Push-pull 構成の 2 つの第 1 のドライバ



と、

オン抵抗が前記特性インピーダンスに一致する、前記第2の半導体集積回路装置から前記Differential信号を送信するPush-pull構成の2つの第2のドライバと、

抵抗値が前記ODD mode 特性インピーダンスの2倍に一致する、前記第1の半導体集積回路装置の信号受信端に設けられた第1のBridge 終端回路と、

抵抗値が前記ODD mode 特性インピーダンスの2倍に一致する、前記第2の半導体集積回路装置の信号受信端に設けられた第2のBridge 終端回路と、  
を有する信号伝送システム。

#### ABSTRACT OF THE DISCLOSURE

異なる電源電圧で動作する半導体集積回路装置間を伝送線路である双方向バスを介して直接、接続する。ドライバは、例えば Push-pull 型とし、受信側は C T T 終端とする。そして、終端抵抗を伝送線路の特性インピーダンスに一致させた場合、ドライバのオン抵抗は特性インピーダンス以下とする。ドライバのオン抵抗を伝送線路の特性インピーダンスに一致させた場合、終端抵抗の値は伝送線路の特性インピーダンス以下とする。受信側を V T T 終端とする場合、V T T の値は半導体集積回路装置に供給される電源電圧のうち、低い方の電源電圧の  $1/2$  とする。また、終端抵抗の値は伝送線路の特性インピーダンスに一致させる。信号電圧の判定に用いる基準電圧の値は各半導体集積回路装置で共通とする。